

BEST AVAILABLE COPY

10/802,878
50024-026
August 23, 2004

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott Will & Emery LLP

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出 願 年 月 日 2 0 0 4 年 2 月 2 7 日
Date of Application:

願 番 号 特 願 2 0 0 4 - 0 5 5 3 9 9
Application Number:
[J P 2 0 0 4 - 0 5 5 3 9 9]

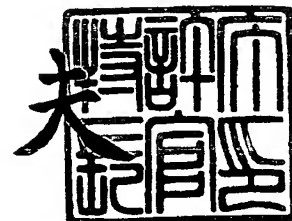
願 人 三 洋 電 機 株 式 会 社
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 4 年 3 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 NPC1040001
【提出日】 平成16年 2月27日
【あて先】 特許庁長官殿
【国際特許分類】 H03G 3/00
H03F 3/45

【発明者】
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
【氏名】 馬場 清一

【発明者】
【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
【氏名】 二改 教広

【特許出願人】
【識別番号】 000001889
【氏名又は名称】 三洋電機株式会社

【代理人】
【識別番号】 100098305
【弁理士】
【氏名又は名称】 福島 祥人
【電話番号】 06-6330-5625

【先の出願に基づく優先権主張】
【出願番号】 特願2003- 75902
【出願日】 平成15年 3月19日

【手数料の表示】
【予納台帳番号】 032920
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0006012

【書類名】 特許請求の範囲**【請求項 1】**

第 1 の入力信号を受ける第 1 の端子、第 1 の負荷を介して第 1 の電位に接続される第 2 の端子および第 1 のインピーダンス素子を介して第 2 の電位に接続される第 3 の端子を有する第 1 のトランジスタと、

第 2 の入力信号を受ける第 1 の端子、第 2 の負荷を介して前記第 1 の電位に接続される第 2 の端子および第 2 のインピーダンス素子を介して前記第 2 の電位に接続される第 3 の端子を有する第 2 のトランジスタと、

前記第 1 のトランジスタの前記第 3 の端子と前記第 2 のトランジスタの前記第 3 の端子との間に接続された可変インピーダンス回路とを備え、

前記可変インピーダンス回路は、

前記第 1 のトランジスタの前記第 3 の端子と前記第 2 のトランジスタの前記第 3 の端子との間に直列に接続された第 1 の抵抗要素、可変インピーダンス素子および第 2 の抵抗要素を含み、

前記可変インピーダンス素子の制御端子に制御電圧が与えられることを特徴とする可変利得型差動増幅器。

【請求項 2】

第 1 の端子、第 2 の端子および第 3 の端子を有する第 1、第 2、第 3、第 4、第 5 および第 6 のトランジスタと、

可変インピーダンス回路とを備え、

前記第 1 のトランジスタの前記第 1 の端子は第 1 の入力信号を受け、前記第 2 の端子は第 1 の負荷を介して第 1 の電位に接続され、前記第 3 の端子は前記第 5 のトランジスタの前記第 2 の端子に接続され、

前記第 2 のトランジスタの前記第 1 の端子は第 2 の入力信号を受け、前記第 2 の端子は第 2 の負荷を介して前記第 1 の電位に接続され、前記第 3 の端子は前記第 5 のトランジスタの前記第 2 の端子に接続され、

前記第 3 のトランジスタの前記第 1 の端子は前記第 2 の入力信号を受け、前記第 2 の端子は前記第 1 の負荷を介して前記第 1 の電位に接続され、前記第 3 の端子は前記第 6 のトランジスタの前記第 2 の端子に接続され、

前記第 4 のトランジスタの前記第 1 の端子は前記第 1 の入力信号を受け、前記第 2 の端子は前記第 2 の負荷を介して前記第 1 の電位に接続され、前記第 3 の端子は前記第 6 のトランジスタの前記第 2 の端子に接続され、

前記第 5 のトランジスタの前記第 1 の端子は第 3 の入力信号を受け、前記第 3 の端子は第 1 のインピーダンス素子を介して第 2 の電位に接続され、

前記第 6 のトランジスタの前記第 1 の端子は第 4 の入力信号を受け、前記第 3 の端子は第 2 のインピーダンス素子を介して前記第 2 の電位に接続され、

前記可変インピーダンス回路は、

前記第 5 のトランジスタの前記第 3 の端子と前記第 6 のトランジスタの前記第 3 の端子との間に直列に接続された第 1 の抵抗要素、可変インピーダンス素子および第 2 の抵抗要素を含み、

前記可変インピーダンス素子の制御端子に制御電圧が与えられることを特徴とする乗算器。

【請求項 3】

等電位が与えられる第 1 および第 2 のノードと、

前記第 1 のノードと前記第 2 のノードとの間に直列に接続された第 1 の抵抗要素、可変インピーダンス素子および第 2 の抵抗要素とを含み、

前記可変インピーダンス素子の制御端子に制御電圧が与えられることを特徴とする可変インピーダンス回路。

【請求項 4】

第 1 の入力信号を受ける第 1 の端子、第 1 の負荷を介して第 1 の電位に接続される第 2 の

端子および第1のインピーダンス素子を介して第2の電位に接続される第3の端子を有する第1のトランジスタと、

第2の入力信号を受ける第1の端子、第2の負荷を介して前記第1の電位に接続される第2の端子および第2のインピーダンス素子を介して前記第2の電位に接続される第3の端子を有する第2のトランジスタと、

前記第1のトランジスタの前記第3の端子と前記第2のトランジスタの前記第3の端子との間に接続された可変インピーダンス回路とを備え、

前記可変インピーダンス回路は、

前記第1のトランジスタの前記第3の端子と前記第2のトランジスタの前記第3の端子との間に直列に接続された第1および第2の可変インピーダンス素子と、

前記第1の可変インピーダンス素子と前記第2の可変インピーダンス素子との接続点と前記第2の電位との間に接続された抵抗要素とを含み、

前記第1および第2の可変インピーダンス素子の制御端子に制御電圧が与えられることを特徴とする可変利得型差動増幅器。

【請求項5】

第1の端子、第2の端子および第3の端子を有する第1、第2、第3、第4、第5および第6のトランジスタと、

可変インピーダンス回路とを備え、

前記第1のトランジスタの前記第1の端子は第1の入力信号を受け、前記第2の端子は第1の負荷を介して第1の電位に接続され、前記第3の端子は前記第5のトランジスタの前記第2の端子に接続され、

前記第2のトランジスタの前記第1の端子は第2の入力信号を受け、前記第2の端子は第2の負荷を介して前記第1の電位に接続され、前記第3の端子は前記第5のトランジスタの前記第2の端子に接続され、

前記第3のトランジスタの前記第1の端子は前記第2の入力信号を受け、前記第2の端子は前記第1の負荷を介して前記第1の電位に接続され、前記第3の端子は前記第6のトランジスタの前記第2の端子に接続され、

前記第4のトランジスタの前記第1の端子は前記第1の入力信号を受け、前記第2の端子は前記第2の負荷を介して前記第1の電位に接続され、前記第3の端子は前記第6のトランジスタの前記第2の端子に接続され、

前記第5のトランジスタの前記第1の端子は第3の入力信号を受け、前記第3の端子は第1のインピーダンス素子を介して第2の電位に接続され、

前記第6のトランジスタの前記第1の端子は第4の入力信号を受け、前記第3の端子は第2のインピーダンス素子を介して前記第2の電位に接続され、

前記可変インピーダンス回路は、

前記第5のトランジスタの前記第3の端子と前記第6のトランジスタの前記第3の端子との間に直列に接続された第1および第2の可変インピーダンス素子と、

前記第1の可変インピーダンス素子と前記第2の可変インピーダンス素子との接続点と前記第2の電位との間に接続された抵抗要素とを含み、

前記第1および第2の可変インピーダンス素子の制御端子に制御電圧が与えられることを特徴とする乗算器。

【請求項6】

第1、第2、第3、第4および第5のノードと、

前記第1のノードと前記第2のノードとの間に直列に接続された第1および第2の可変インピーダンス素子と、

前記第1のノードと前記第3のノードとの間に接続された第1の抵抗要素と、

前記第2のノードと前記第4のノードとの間に接続された第2の抵抗要素と、

前記第1の可変インピーダンス素子と前記第2の可変インピーダンス素子との接続点と前記第5のノードとの間に接続された第3の抵抗要素とを備え、

前記第1、第2、第3、第4および第5のノードにそれぞれ第1、第2、第3、第4お

よび第5の電位が与えられ、

前記第1および第2の電位は等しく、

前記第1および第2の可変インピーダンス素子の制御端子に制御電圧が与えられることを特徴とする可変インピーダンス回路。

【請求項7】

第1および第2の入力信号を受ける請求項1または4記載の差動増幅器と、

請求項2または5記載の乗算器とを備え、

前記差動増幅器の前記第1および第2のトランジスタの前記第2の端子の出力信号が前記乗算器の前記第5および第6のトランジスタの前記第1の端子に前記第3および第4の入力信号として与えられ、

前記差動増幅器の前記可変インピーダンス回路に第1の制御電圧が与えられ、前記乗算器の前記可変インピーダンス回路に第2の制御電圧が与えられることを特徴とする高周波回路。

【請求項8】

差動増幅器と、

乗算器とを備え、

前記差動増幅器は、

第1の入力信号を受ける第1の端子、第1の負荷を介して第1の電位に接続される第2の端子および第1のインピーダンス素子を介して第2の電位に接続される第3の端子を有する第1のトランジスタと、

第2の入力信号を受ける第1の端子、第2の負荷を介して前記第1の電位に接続される第2の端子および第2のインピーダンス素子を介して前記第2の電位に接続される第3の端子を有する第2のトランジスタと、

前記第1のトランジスタの前記第3の端子と前記第2のトランジスタの前記第3の端子との間に接続され、第1の制御電圧に応じて変化するインピーダンスを有する第1の可変インピーダンス回路とを含み、

前記乗算器は、

第1の端子、第2の端子および第3の端子を有する第1、第2、第3、第4、第5および第6のトランジスタと、

第2の可変インピーダンス回路とを含み、

前記第1のトランジスタの前記第1の端子は第3の入力信号を受け、前記第2の端子は第1の負荷を介して前記第1の電位に接続され、前記第3の端子は前記第5のトランジスタの前記第2の端子に接続され、

前記第2のトランジスタの前記第1の端子は第4の入力信号を受け、前記第2の端子は第2の負荷を介して前記第1の電位に接続され、前記第3の端子は前記第5のトランジスタの前記第2の端子に接続され、

前記第3のトランジスタの前記第1の端子は前記第4の入力信号を受け、前記第2の端子は前記第1の負荷を介して前記第1の電位に接続され、前記第3の端子は前記第6のトランジスタの前記第2の端子に接続され、

前記第4のトランジスタの前記第1の端子は前記第3の入力信号を受け、前記第2の端子は前記第2の負荷を介して前記第1の電位に接続され、前記第3の端子は前記第6のトランジスタの前記第2の端子に接続され、

前記第5のトランジスタの前記第1の端子は第5の入力信号を受け、前記第3の端子は第1のインピーダンス素子を介して前記第2の電位に接続され、

前記第6のトランジスタの前記第1の端子は第6の入力信号を受け、前記第3の端子は第2のインピーダンス素子を介して前記第2の電位に接続され、

前記第2の可変インピーダンス回路は、前記第5のトランジスタの前記第3の端子と前記第6のトランジスタの前記第3の端子との間に接続され、第2の制御電圧に応じて変化するインピーダンスを有し、

前記差動増幅器の前記第1および第2のトランジスタの前記第2の端子の出力信号が前

記乗算器の前記第 5 および第 6 のトランジスタの前記第 1 の端子に前記第 5 および第 6 の入力信号として与えられることを特徴とする高周波回路。

【請求項 9】

所定の周波数範囲の第 1 および第 2 の入力信号を受ける可変利得型差動増幅器と、

前記可変利得型差動増幅器の出力信号を受け、一定の周波数の第 1 および第 2 の出力信号を導出する可変利得型乗算器とを備え、

前記可変利得型差動増幅器および前記可変利得型乗算器の利得は共通の制御電圧により制御されることを特徴とする高周波回路。

【請求項 10】

複数の誘導性要素により構成され、第 1 の入力信号を受ける第 1 の伝送回路と、

複数の誘導性要素により構成され、第 2 の入力信号を受ける第 2 の伝送回路と、

複数の誘導性要素により構成された第 3 の伝送回路と、

複数の誘導性要素により構成された第 4 の伝送回路と、

複数の差動増幅器とを備え、

前記複数の差動増幅器の各々は、

前記第 1 の伝送回路の前記複数の誘導性要素のいずれかに接続される第 1 の端子、前記第 3 の伝送回路の前記複数の誘導性要素のいずれかに接続される第 2 の端子、および第 3 の端子を有する第 1 のトランジスタと、

前記第 2 の伝送回路の前記複数の誘導性要素のいずれかに接続される第 1 の端子、前記第 4 の伝送回路の前記複数の誘導性要素のいずれかに接続される第 2 の端子、および第 3 の端子を有する第 2 のトランジスタと、

前記第 1 のトランジスタの前記第 3 の端子と前記第 2 のトランジスタの前記第 3 の端子との間に接続された可変インピーダンス回路とを備え、

前記可変インピーダンス回路は、

前記第 1 のトランジスタの前記第 3 の端子と前記第 2 のトランジスタの前記第 3 の端子との間に直列に接続された第 1 および第 2 の可変インピーダンス素子と、

前記第 1 の可変インピーダンス素子と前記第 2 の可変インピーダンス素子との接続点と基準電位との間に接続された抵抗要素とを含み、

前記第 1 および第 2 の可変インピーダンス素子の制御端子に制御電圧が与えられることを特徴とする差動分布型増幅器。

【請求項 11】

前記抵抗要素は定電流源を含むことを特徴とする請求項 10 記載の差動分布型増幅器。

【請求項 12】

前記複数の差動増幅器の各々は、

前記第 1 のトランジスタの前記第 3 の端子と基準電位との間に接続された第 1 のインピーダンス素子と、

前記第 2 のトランジスタの前記第 3 の端子と基準電位との間に接続された第 2 のインピーダンス素子とをさらに含むことを特徴とする請求項 10 記載の差動分布型増幅器。

【請求項 13】

前記第 1 および第 2 のインピーダンス素子は抵抗を含むことを特徴とする請求項 12 記載の差動分布型増幅器。

【請求項 14】

前記第 1 および第 2 のインピーダンス素子は定電流源を含むことを特徴とする請求項 12 記載の差動分布型増幅器。

【請求項 15】

前記抵抗要素は定電流源を含むことを特徴とする請求項 12～14 のいずれかに記載の差動分布型増幅器。

【請求項 16】

前記複数の差動増幅器の各々は、

バイアス電圧を受ける第 1 の端子を有する第 3 のトランジスタと、

バイアス電圧を受ける第 1 の端子を有する第 4 のトランジスタとをさらに含み、
前記第 1 および第 3 のトランジスタはカスコード接続され、前記第 2 および第 4 のトランジスタはカスコード接続され、
前記第 1 のトランジスタの前記第 2 の端子は、前記第 3 のトランジスタを介して前記第 3 の伝送回路の前記複数の誘導性要素のいずれかに接続され、
前記第 2 のトランジスタの前記第 2 の端子は、前記第 4 のトランジスタを介して前記第 4 の伝送回路の前記複数の誘導性要素のいずれかに接続されたことを特徴とする請求項 10 ～ 15 のいずれかに記載の差動分布型増幅器。

【書類名】明細書

【発明の名称】可変インピーダンス回路、可変利得型差動増幅器、乗算器、高周波回路および差動分布型増幅器

【技術分野】

【0001】

本発明は、可変インピーダンス回路、それを用いた可変利得型差動増幅器、それを用いた乗算器および差動分布型増幅器ならびにそれらを用いた高周波回路に関する。

【背景技術】

【0002】

従来より、可変利得型差動増幅器（可変利得機能付差動増幅回路）が用いられている。バイポーラトランジスタ、MOSFET（金属酸化物電界効果トランジスタ）等のSi（シリコン）デバイスを用いた集積回路では、可変利得型差動増幅器として、ギルバート型構成を有する増幅器およびOTA（オペレーショナルトランスコンダクタンス増幅器：operational transconductance amplifier）構成を有する増幅器が主流となっている。

【0003】

ギルバート型構成を有する増幅器は、広い可変利得範囲を有するが、消費電力や雑音特性の面で劣っている。そのため、移動体通信等では、一般的に、差動増幅器にFETスイッチ等からなる可変抵抗回路を設けたOTA構成が用いられる。

【0004】

図35はOTA構成を有する従来の可変利得型差動増幅器の構成を示す回路図である。

【0005】

図35の可変利得型差動増幅器は、バイポーラトランジスタ（以下、トランジスタと略記する）101、102、抵抗103、104、105、106およびn-MOSFET（以下、FETと略記する）107により構成される。FET107が可変抵抗回路50を構成する。

【0006】

トランジスタ101のベースは入力信号RFin（+）を受ける入力端子NI1に接続され、トランジスタ102のベースは入力信号RFin（-）を受ける入力端子NI2に接続されている。入力信号RFin（+）、RFin（-）は、差動入力である。トランジスタ101、102のコレクタは、それぞれ抵抗103、104を介して電源電圧Vccを受ける電源端子NVCに接続されている。トランジスタ101、102のエミッタは、それぞれ抵抗105、106を介して接地端子に接続されている。また、トランジスタ101、102のコレクタは、それぞれ出力端子NO1、NO2に接続されている。出力端子NO1、NO2からそれぞれ出力信号RFout（-）、RFout（+）が導出される。出力信号RFout（+）、RFout（-）は差動出力である。

【0007】

トランジスタ101、102のエミッタに接続されるノードN1、N2間には、FET107が接続されている。FET107のゲートは、抵抗110を介して制御電圧AGCを受ける制御端子NGに接続されている。

【0008】

図35の可変利得型差動増幅器では、FET107のゲートに制御電圧AGCを印加してFET107のソース・ドレイン間抵抗を変化させることにより、利得制御を行う。例えば、FET107をオン状態にすれば、最大利得および低雑音特性が得られる。この場合、微小な高周波信号の増幅に適している。また、FET107をオフ状態にすれば、減衰量が最大（最小利得）となり、歪み特性が向上する。この場合、電界強度が高い状態での混変調に強くなる。

【0009】

ギルバート型乗算器においても、OTA構成を有する可変利得型差動増幅器と同様の構成が提案されている。

【0010】

図36は高周波受信機に用いられる従来の差動入出力高周波回路の構成を示す図である。

【0011】

図36の差動入出力高周波回路は、可変利得型増幅器610、乗算器620および可変利得型中間周波帯増幅器（以下、IF帯増幅器と呼ぶ）630により構成される。可変利得型増幅器610には差動信号が入力され、可変利得型IF帯増幅器630から増幅された差動信号が出力される。可変利得型増幅器610および可変利得型IF帯増幅器630には、利得を制御するための制御電圧AGCが与えられる。

【0012】

可変利得型増幅器610は可変利得機能を有する差動増幅器からなり、乗算器620は可変利得機能を有さないギルバート型乗算器からなり、IF帯増幅器630は可変利得機能を有する差動増幅器からなる。

【0013】

したがって、このような差動入出力高周波回路では、初段に用いる差動増幅器のダイナミックレンジが高周波受信機のダイナミックレンジに大きく影響することになる。この場合、ギルバート型乗算器が最適な動作状態とならず、ダイナミックレンジが小さくなる。

【0014】

そこで、高周波増幅器、ミキサおよび中間周波検波回路を有する受信装置において高周波増幅器およびミキサの利得を制御するAGC（自動利得制御）回路を設けることが提案されている（例えば、特許文献1参照）。

【0015】

マイクロ波帯からミリ波帯で1オクターブ以上の周波数帯域にわたって動作する増幅器として分布型増幅器がよく知られている（例えば特許文献2～4参照）。

【0016】

図37は従来の分布型増幅器の構成の一例を示す回路図である。分布型増幅器は複数のトランジスタTR1～TR4を有し、複数のトランジスタTR1～TR4のゲート（入力端子）が高インピーダンス伝送線路またはインダクタンス素子からなる誘導性素子IL1～IL4により接続され、複数のトランジスタTR1～TR4のドレイン（出力端子）が高インピーダンス伝送線路またはインダクタンス素子からなる誘導性素子OL1～OL4により接続される。それにより、各トランジスタTR1～TR4の寄生容量（入力側のゲート・ソース間容量および出力側のドレイン・ソース間容量）とこれらの誘導性素子IL1～IL4、OL1～OL4により擬似伝送線路が構成される。その結果、広帯域で入出力インピーダンスの整合が得られる。一般に、分布型増幅器は、トランジスタの段数が多いほど広帯域で動作する。

【特許文献1】特開平5-300039号公報

【特許文献2】特開平9-252228号公報

【特許文献3】特開平11-88079号公報

【特許文献4】特開2003-209448号公報

【特許文献5】特開2003-298370号公報

【発明の開示】

【発明が解決しようとする課題】

【0017】

しかしながら、図35に示した可変利得型差動増幅器においては、可変抵抗回路50がFETのピンチオフ電圧近傍の制御電圧の領域で強い非線形性を有している。それにより、特定の制御電圧の近傍で歪み特性が劣化する。したがって、連続的な利得制御を行う場合に、FETにおいて波形歪みが増大する制御電圧が与えられたときに可変利得型差動増幅器の歪み特性が劣化する。

【0018】

可変利得型差動増幅器において、歪み特性を改善するためにトランジスタ101、102のエミッタ抵抗を増加させることが考えられる。しかしながら、この場合、可変利得型

差動増幅器の動作電流が利得の変化に応じて変化することになる。

【0019】

用途によっては、動作電流を変化させることなく可変利得型差動増幅器の歪みを改善することが望まれる場合がある。

【0020】

また、図35の可変利得型差動増幅器においては、入力電力レベルが一定の場合、高利得時には出力電力レベルが高くなり、入出力特性が飽和し易くなる。これは、可変利得型差動増幅器の動作電流が利得の変化に応じて変化しないからである。

【0021】

用途によっては、出力電力レベルに応じて動作電流を設定することにより入出力特性の飽和を抑制することが望まれる場合がある。

【0022】

さらに、図35の可変利得型差動増幅器を用いた従来の受信装置では、十分に高いダイナミックレンジが実現されていない。

【0023】

分布型増幅器は例えば高速デジタル信号伝送システムに用いられる。このような高速デジタル信号伝送システムでは、入力レベルが変動した場合に利得を変化させるために増幅器が可変利得機能を有することが有効である。

【0024】

そこで、分布型増幅器の各増幅部にカスコード接続されたトランジスタを用い、これらのトランジスタを個別にオンおよびオフさせる構成が提案されている（特許文献4参照）。

【0025】

しかしながら、トランジスタを個別にオンおよびオフさせる構成では、利得が離散的にしか変化しない。

【0026】

本発明の目的は、動作電流を変化させることなく低歪み化を実現することができる可変インピーダンス回路、それを用いた可変利得型差動増幅器およびそれを用いた乗算器を提供することである。

【0027】

本発明の他の目的は、入出力特性の飽和を抑制するとともに低歪み化を実現することができる可変インピーダンス回路、それを用いた可変利得型差動増幅器およびそれを用いた乗算器を提供することである。

【0028】

本発明のさらに他の目的は、十分に高いダイナミックレンジを実現することができるとともに低歪み化を実現することができる高周波回路を提供することである。

【0029】

本発明のさらに他の目的は、広帯域で利得を連続的に変化させることができる差動分布型増幅器を提供することである。

【0030】

なお、本発明において、乗算器には、混合器も含まれる。

【課題を解決するための手段】

【0031】

第1の発明に係る可変利得型差動増幅器は、第1の入力信号を受ける第1の端子、第1の負荷を介して第1の電位に接続される第2の端子および第1のインピーダンス素子を介して第2の電位に接続される第3の端子を有する第1のトランジスタと、第2の入力信号を受ける第1の端子、第2の負荷を介して第1の電位に接続される第2の端子および第2のインピーダンス素子を介して第2の電位に接続される第3の端子を有する第2のトランジスタと、第1のトランジスタの第3の端子と第2のトランジスタの第3の端子との間に接続された可変インピーダンス回路とを備え、可変インピーダンス回路は、第1のトラン

ジスタの第3の端子と第2のトランジスタの第3の端子との間に直列に接続された第1の抵抗要素、可変インピーダンス素子および第2の抵抗要素を含み、可変インピーダンス素子の制御端子に制御電圧が与えられるものである。

【0032】

本発明に係る可変利得型差動増幅器においては、第1および第2の入力信号が第1および第2のトランジスタにより差動増幅される。この場合、制御電圧に応じて可変インピーダンス回路の可変インピーダンス素子のインピーダンスが変化し、可変利得型差動増幅器の利得が変化する。

【0033】

また、可変インピーダンス回路の第1および第2の抵抗要素により歪み特性が改善される。このとき、第1および第2のトランジスタに流れる動作電流は変化しない。したがって、動作電流を変化させることなく、低歪化を実現することができる。

【0034】

第2の発明に係る乗算器は、第1の端子、第2の端子および第3の端子を有する第1、第2、第3、第4、第5および第6のトランジスタと、可変インピーダンス回路とを備え、第1のトランジスタの第1の端子は第1の入力信号を受け、第2の端子は第1の負荷を介して第1の電位に接続され、第3の端子は第5のトランジスタの第2の端子に接続され、第2のトランジスタの第1の端子は第2の入力信号を受け、第2の端子は第2の負荷を介して第1の電位に接続され、第3の端子は第5のトランジスタの第2の端子に接続され、第3のトランジスタの第1の端子は第2の入力信号を受け、第2の端子は第1の負荷を介して第1の電位に接続され、第3の端子は第6のトランジスタの第2の端子に接続され、第4のトランジスタの第1の端子は第1の入力信号を受け、第2の端子は第2の負荷を介して第1の電位に接続され、第3の端子は第6のトランジスタの第2の端子に接続され、第5のトランジスタの第1の端子は第3の入力信号を受け、第3の端子は第1のインピーダンス素子を介して第2の電位に接続され、第6のトランジスタの第1の端子は第4の入力信号を受け、第3の端子は第2のインピーダンス素子を介して第2の電位に接続され、可変インピーダンス回路は、第5のトランジスタの第3の端子と第6のトランジスタの第3の端子との間に直列に接続された第1の抵抗要素、可変インピーダンス素子および第2の抵抗要素を含み、可変インピーダンス素子の制御端子に制御電圧が与えられるものである。

【0035】

本発明に係る乗算器においては、第1～第4のトランジスタにより第1および第2の入力信号が差動増幅され、第5および第6のトランジスタにより第3および第4の入力信号が差動増幅され、第1および第2の入力信号の差動増幅の結果と第3および第4の入力信号の差動増幅の結果とが乗算される。この場合、制御電圧に応じて可変インピーダンス回路の可変インピーダンス素子のインピーダンスが変化し、乗算器の利得が変化する。

【0036】

また、可変インピーダンス回路の第1および第2の抵抗要素により歪み特性が改善される。このとき、第5および第6のトランジスタに流れる動作電流は変化しない。したがって、動作電流を変化させることなく低歪化を実現することができる。

【0037】

第3の発明に係る可変インピーダンス回路は、等電位が与えられる第1および第2のノードと、第1のノードと第2のノードとの間に直列に接続された第1の抵抗要素、可変インピーダンス素子および第2の抵抗要素とを含み、可変インピーダンス素子の制御端子に制御電圧が与えられるものである。

【0038】

本発明に係る可変インピーダンス回路においては、制御電圧を変化させることにより、第1のノードと第2のノードとの間が等電位の状態で第1のノードと第2のノードとの間のインピーダンスを変化させることができる。この場合、第1のノードおよび第2のノードの電位が等しいので、第1の抵抗要素、可変インピーダンス素子および第2の抵抗要素

に電流が流れない。

【0039】

したがって、この可変インピーダンス回路を可変利得型増幅器または乗算器に用いた場合、消費電力を低減することができる。

【0040】

第4の発明に係る可変利得型差動増幅器は、第1の入力信号を受ける第1の端子、第1の負荷を介して第1の電位に接続される第2の端子および第1のインピーダンス素子を介して第2の電位に接続される第3の端子を有する第1のトランジスタと、第2の入力信号を受ける第1の端子、第2の負荷を介して第1の電位に接続される第2の端子および第2のインピーダンス素子を介して第2の電位に接続される第3の端子を有する第2のトランジスタと、第1のトランジスタの第3の端子と第2のトランジスタの第3の端子との間に接続された可変インピーダンス回路とを備え、可変インピーダンス回路は、第1のトランジスタの第3の端子と第2のトランジスタの第3の端子との間に直列に接続された第1および第2の可変インピーダンス素子と、第1の可変インピーダンス素子と第2の可変インピーダンス素子との接続点と第2の電位との間に接続された抵抗要素とを含み、第1および第2の可変インピーダンス素子の制御端子に制御電圧が与えられるものである。

【0041】

本発明に係る可変利得型差動増幅器においては、第1および第2の入力信号が第1および第2のトランジスタにより差動増幅される。この場合、制御電圧に応じて可変インピーダンス回路の第1および第2の可変インピーダンス素子のインピーダンスが変化し、可変利得型差動増幅器の利得が変化する。

【0042】

また、高利得時に動作電流が増加し、低利得時（減衰時）に動作電流が減少する。それにより、高利得時の入出力特性の飽和が改善される。その結果、入出力特性の線形性が高くなり、歪み特性が改善される。

【0043】

第5の発明に係る乗算器は、第1の端子、第2の端子および第3の端子を有する第1、第2、第3、第4、第5および第6のトランジスタと、可変インピーダンス回路とを備え、第1のトランジスタの第1の端子は第1の入力信号を受け、第2の端子は第1の負荷を介して第1の電位に接続され、第3の端子は第5のトランジスタの第2の端子に接続され、第2のトランジスタの第1の端子は第2の入力信号を受け、第2の端子は第2の負荷を介して第1の電位に接続され、第3の端子は第5のトランジスタの第2の端子に接続され、第3のトランジスタの第1の端子は第2の入力信号を受け、第2の端子は前記第1の負荷を介して第1の電位に接続され、第3の端子は第6のトランジスタの第2の端子に接続され、第4のトランジスタの第1の端子は第1の入力信号を受け、第2の端子は第2の負荷を介して第1の電位に接続され、第3の端子は第6のトランジスタの第2の端子に接続され、第5のトランジスタの第1の端子は第3の入力信号を受け、第3の端子は第1のインピーダンス素子を介して第2の電位に接続され、第6のトランジスタの第1の端子は第4の入力信号を受け、第3の端子は第2のインピーダンス素子を介して第2の電位に接続され、可変インピーダンス回路は、第5のトランジスタの第3の端子と第6のトランジスタの第3の端子との間に直列に接続された第1および第2の可変インピーダンス素子と、第1の可変インピーダンス素子と第2の可変インピーダンス素子との接続点と第2の電位との間に接続された抵抗要素とを含み、第1および第2の可変インピーダンス素子の制御端子に制御電圧が与えられるものである。

【0044】

本発明に係る乗算器においては、第1～第4のトランジスタにより第1および第2の入力信号が差動増幅され、第5および第6のトランジスタにより第3および第4の入力信号が差動増幅され、第1および第2の入力信号の差動増幅の結果と第3および第4の入力信号の差動増幅の結果とが乗算される。この場合、制御電圧に応じて可変インピーダンス回路の第1および第2の可変インピーダンス素子のインピーダンスが変化し、乗算器の利得

が変化する。

【0045】

また、高利得時に動作電流が増加し、低利得時（減衰時）に動作電流が減少する。それにより、高利得時の入出力特性の飽和が改善される。その結果、入出力特性の線形性が高くなり、歪み特性が改善される。

【0046】

第6の発明に係る可変インピーダンス回路は、第1、第2、第3、第4および第5のノードと、第1のノードと第2のノードとの間に直列に接続された第1および第2の可変インピーダンス素子と、第1のノードと第3のノードとの間に接続された第1の抵抗要素と、第2のノードと第4のノードとの間に接続された第2の抵抗要素と、第1の可変インピーダンス素子と第2の可変インピーダンス素子との接続点と第5のノードとの間に接続された第3の抵抗要素とを備え、第1、第2、第3、第4および第5のノードにそれぞれ第1、第2、第3、第4および第5の電位が与えられ、第1および第2の電位は等しく、第1および第2の可変インピーダンス素子の制御端子に制御電圧が与えられるものである。

【0047】

本発明に係る可変インピーダンス回路においては、制御電圧に応じて第1、第2および第3の抵抗素子に流れる電流を変化させることができる。それにより、可変インピーダンス回路が可変電流源として働く。

【0048】

したがって、この可変インピーダンス回路を可変利得増幅回路または乗算器に用いた場合、利得の変化に応じて動作電流を変化させることができる。その結果、入出力特性の飽和を抑制し、低歪み化を実現することができる。

【0049】

第7の発明に係る可変インピーダンス回路は、第6の発明に係る可変インピーダンス回路の構成において、第3、第4および第5の電位は第1および第2の電位と異なり、第3、第4および第5の電位は等しいものである。

【0050】

この場合、第1の抵抗要素および第2の抵抗要素に流れる電流が等しくなる。

【0051】

第8の発明に係る高周波回路は、第1および第2の入力信号を受ける第1または第4の発明に係る差動増幅器と、第2または第5の発明に係る乗算器とを備え、差動増幅器の第1および第2のトランジスタの第2の端子の出力信号が乗算器の第5および第6のトランジスタの第1の端子に第3および第4の入力信号として与えられ、差動増幅器の可変インピーダンス回路に第1の制御電圧が与えられ、乗算器の可変インピーダンス回路に第2の制御電圧が与えられるものである。

【0052】

本発明に係る高周波回路において、第1の制御電圧を変化させることにより差動増幅器の利得を変化させることができ、第2の制御電圧を変化させることにより乗算器の利得を変化させることができる。この場合、差動増幅器および乗算器の利得範囲は、差動増幅器の利得範囲と乗算器の利得範囲との掛け合わされた範囲となる。

【0053】

入力電力レベルが低い場合には、可変インピーダンス回路のインピーダンスが最も低くなるように制御電圧を印加する。このとき、差動増幅器および乗算器は、同時に最大の利得および最小の雑音指数で動作する。したがって、この高周波回路では、低入力電力レベル時に受信感度が最大になる。

【0054】

逆に、入力電力レベルが高い場合には、可変インピーダンス回路のインピーダンスが最も高くなるように制御電圧を印加する。このとき、差動増幅器および乗算器は、同時に最小の利得で動作する。したがって、この高周波回路は、高入力電力レベル時に最大の減衰量で動作するので、相互変調歪みおよび混変調が最小となる。

【0055】

このように、差動増幅器および乗算器の両方で利得を制御することにより、高いダイナミックレンジを有する高周波回路が実現される。

【0056】

特に、第1または第4の発明に係る差動増幅器および第2または第5の発明に係る乗算器が用いられることにより、歪み特性が向上する。

【0057】

第9の発明に係る高周波回路は、差動増幅器と、乗算器とを備え、差動増幅器は、第1の入力信号を受ける第1の端子、第1の負荷を介して第1の電位に接続される第2の端子および第1のインピーダンス素子を介して第2の電位に接続される第3の端子を有する第1のトランジスタと、第2の入力信号を受ける第1の端子、第2の負荷を介して第1の電位に接続される第2の端子および第2のインピーダンス素子を介して第2の電位に接続される第3の端子を有する第2のトランジスタと、第1のトランジスタの第3の端子と第2のトランジスタの第3の端子との間に接続され、第1の制御電圧に応じて変化するインピーダンスを有する第1の可変インピーダンス回路とを含み、乗算器は、第1の端子、第2の端子および第3の端子を有する第1、第2、第3、第4、第5および第6のトランジスタと、第2の可変インピーダンス回路とを含み、第1のトランジスタの第1の端子は第3の入力信号を受け、第2の端子は第1の負荷を介して第1の電位に接続され、第3の端子は第5のトランジスタの第2の端子に接続され、第2のトランジスタの第1の端子は第2の入力信号を受け、第2の端子は第2の負荷を介して第1の電位に接続され、第3の端子は第5のトランジスタの第2の端子に接続され、第3のトランジスタの第1の端子は第4の入力信号を受け、第2の端子は第1の負荷を介して第1の電位に接続され、第3の端子は第6のトランジスタの第2の端子に接続され、第4のトランジスタの第1の端子は第3の入力信号を受け、第2の端子は第2の負荷を介して第1の電位に接続され、第3の端子は第6のトランジスタの第2の端子に接続され、第5のトランジスタの第1の端子は第5の入力信号を受け、第3の端子は第1のインピーダンス素子を介して第2の電位に接続され、第6のトランジスタの第1の端子は第6の入力信号を受け、第3の端子は第2のインピーダンス素子を介して第2の電位に接続され、第2の可変インピーダンス回路は、第5のトランジスタの第3の端子と第6のトランジスタの第3の端子との間に接続され、第2の制御電圧に応じて変化するインピーダンスを有し、差動増幅器の第1および第2のトランジスタの第2の端子の出力信号が乗算器の第5および第6のトランジスタの第1の端子に第5および第6の入力信号として与えられるものである。

【0058】

本発明に係る高周波回路において、第1の制御電圧を変化させることにより差動増幅器の利得を変化させることができ、第2の制御電圧を変化させることにより乗算器の利得を変化させることができる。この場合、差動増幅器および乗算器の利得範囲は、差動増幅器の利得範囲と乗算器の利得範囲との掛け合わされた範囲となる。

【0059】

入力電力レベルが低い場合には、可変インピーダンス回路のインピーダンスが最も低くなるように制御電圧を印加する。このとき、差動増幅器および乗算器は、同時に最大の利得および最小の雑音指数で動作する。したがって、この高周波回路では、低入力電力レベル時に受信感度が最大になる。

【0060】

逆に、入力電力レベルが高い場合には、可変インピーダンス回路のインピーダンスが最も高くなるように制御電圧を印加する。このとき、差動増幅器および乗算器は、同時に最小の利得で動作する。したがって、この高周波回路は、高入力電力レベル時に最大の減衰量で動作するので、相互変調歪みおよび混変調が最小となる。

【0061】

このように、差動増幅器および乗算器の両方で利得を制御することにより、高いダイナミックレンジを有する高周波回路が実現される。

【0062】

第10の発明に係る高周波回路は、第8または第9の発明に係る高周波回路の構成において、第1および第2の制御電圧は共通の電圧であるものである。

【0063】

この場合、共通の電圧により差動増幅器および乗算器の両方の利得を制御することができる。

【0064】

第11の発明に係る高周波回路は、第8～第10のいずれかの発明に係る高周波回路の構成において、第1および第2の入力信号は所定の周波数範囲の信号であり、第1および第2の出力信号は一定の周波数の信号であるものである。

【0065】

この場合、所定の周波数範囲の第1および第2の入力信号を一定の周波数の第1および第2の出力信号に変換することができる。

【0066】

第12の発明に係る高周波回路は、第8～第11のいずれかの発明に係る高周波回路の構成において、差動増幅器は、第1または第4の発明に係る差動増幅器を含むものである。この場合、歪み特性が向上する。

【0067】

第13の発明に係る高周波回路は、第8～第12のいずれかの発明に係る高周波回路の構成において、乗算器は、第2または第5の発明に係る乗算器を含むものである。この場合、歪み特性が向上する。

【0068】

第14の発明に係る高周波回路は、所定の周波数範囲の第1および第2の入力信号を受ける可変利得型差動増幅器と、可変利得型差動増幅器の出力信号を受け、一定の周波数の第1および第2の出力信号を導出する可変利得型乗算器とを備え、可変利得型差動増幅器および可変利得型乗算器の利得は共通の制御電圧により制御されるものである。

【0069】

本発明に係る高周波回路において、所定の周波数範囲の第1および第2の入力信号を一定の周波数の第1および第2の出力信号に変換することができる。また、共通の制御電圧により可変利得型差動増幅器および可変利得型乗算器の利得が制御される。この場合、可変利得型差動増幅器および可変利得型乗算器の利得範囲は、可変利得差動増幅器の利得範囲と可変利得型乗算器の利得範囲との掛け合わされた範囲となる。

【0070】

入力電力レベルが低い場合には、可変利得型差動増幅器および可変利得型乗算器を同時に最大の利得および最小の雑音指数で動作させる。それにより、この高周波回路では、低入力電力レベル時に受信感度が最大になる。

【0071】

逆に、入力電力レベルが高い場合には、可変利得型差動増幅器および可変利得型乗算器を同時に最小の利得で動作させる。それにより、この高周波回路は、高入力電力レベル時に最大の減衰量で動作するので、相互変調歪みおよび混変調が最小となる。

【0072】

このように、可変利得型差動増幅器および可変利得型乗算器の両方で利得を制御することにより、高いダイナミックレンジを有する高周波回路が実現される。

【0073】

第15の発明に係る差動分布型増幅器は、複数の誘導性要素により構成され、第1の入力信号を受ける第1の伝送回路と、複数の誘導性要素により構成され、第2の入力信号を受ける第2の伝送回路と、複数の誘導性要素により構成された第3の伝送回路と、複数の誘導性要素により構成された第4の伝送回路と、複数の差動増幅器とを備え、複数の差動増幅器の各々は、第1の伝送回路の複数の誘導性要素のいずれかに接続される第1の端子、第3の伝送回路の複数の誘導性要素のいずれかに接続される第2の端子、および第3の

端子を有する第1のトランジスタと、第2の伝送回路の複数の誘導性要素のいずれかに接続される第1の端子、第4の伝送回路の複数の誘導性要素のいずれかに接続される第2の端子、および第3の端子を有する第2のトランジスタと、第1のトランジスタの第3の端子と第2のトランジスタの第3の端子との間に接続された可変インピーダンス回路とを備え、可変インピーダンス回路は、第1のトランジスタの第3の端子と第2のトランジスタの第3の端子との間に直列に接続された第1および第2の可変インピーダンス素子と、第1の可変インピーダンス素子と第2の可変インピーダンス素子との接続点と基準電位との間に接続された抵抗要素とを含み、第1および第2の可変インピーダンス素子の制御端子に制御電圧が与えられるものである。

【0074】

本発明に係る差動分布型増幅器においては、第1および第2の入力信号が第1および第2の伝送回路を通して複数の差動増幅器に与えられ、複数の差動増幅器の第1および第2のトランジスタにより差動増幅される。複数の差動増幅器により増幅された信号は、第3および第4の伝送回路を通して第1および第2の出力信号として出力される。

【0075】

この場合、複数の差動増幅器の第1および第2のトランジスタの入力側の寄生容量と第1および第2の伝送回路の複数の誘導性要素とにより入力側の擬似伝送線路が構成され、第1および第2のトランジスタの出力側の寄生容量と第3および第4の伝送回路の複数の誘導性要素とにより出力側の擬似伝送線路が構成される。それにより、広帯域にわたって入出力インピーダンス整合を得ることができる。

【0076】

また、複数の差動増幅器において制御電圧に応じて第1および第2の可変インピーダンス素子のインピーダンスが変化し、利得が変化する。このように、本発明に係る差動分布型増幅器は利得可変機能を有する複数の差動増幅器により構成されるので、広帯域にわたって利得を連続的に変化させることができる。

【0077】

第16の発明に係る差動分布型増幅器は、第15の発明に係る差動分布型増幅器の構成において、抵抗要素は定電流源を含むものである。この場合、動作電流を安定化することができる。

【0078】

第17の発明に係る差動分布型増幅器は、第15の発明に係る差動分布型増幅器の構成において、複数の差動増幅器の各々は、第1のトランジスタの第3の端子と基準電位との間に接続された第1のインピーダンス素子と、第2のトランジスタの第3の端子と基準電位との間に接続された第2のインピーダンス素子とをさらに含むものである。

【0079】

この場合、高利得時に動作電流が増加し、低利得時（減衰時）に動作電流が減少する。それにより、高利得時の入出力特性の飽和が改善される。その結果、入出力特性の線形性が高くなり、歪み特性が改善される。

【0080】

第18の発明に係る差動分布型増幅器は、第17の発明に係る差動分布型増幅器の構成において、第1および第2のインピーダンス素子は抵抗を含むものである。この場合、各差動増幅器の構成が簡単になる。

【0081】

第19の発明に係る差動分布型増幅器は、第17の発明に係る差動分布型増幅器の構成において、第1および第2のインピーダンス素子は定電流源を含むものである。この場合、動作電流を安定化することができる。

【0082】

第20の発明に係る差動分布型増幅器は、第17～第19のいずれかの発明に係る差動分布型増幅器の構成において、抵抗要素は定電流源を含むものである。この場合、動作電流を安定化することができる。

【0083】

第21の発明に係る差動分布型増幅器は、第15～第20のいずれかの発明に係る差動分布型増幅器の構成において、複数の差動増幅器の各々は、バイアス電圧を受ける第1の端子を有する第3のトランジスタと、バイアス電圧を受ける第1の端子を有する第4のトランジスタとをさらに含み、第1および第3のトランジスタはカスコード接続され、第2および第4のトランジスタはカスコード接続され、第1のトランジスタの第2の端子は、第3のトランジスタを介して第3の伝送回路の複数の誘導性要素のいずれかに接続され、第2のトランジスタの第2の端子は、第4のトランジスタを介して第4の伝送回路の複数の誘導性要素のいずれかに接続されたものである。

【0084】

この場合、各差動増幅器がカスコード接続された第1～第4のトランジスタにより構成されているので、差動分布型増幅器の周波数特性が向上する。

【発明の効果】

【0085】

第1の発明に係る可変利得型差動増幅回路によれば、動作電流を変化させることなく低歪み化を実現することができる。

【0086】

第2の発明に係る乗算器によれば、動作電流を変化させることなく低歪み化を実現することができる。

【0087】

第3の発明に係る可変インピーダンス回路を可変利得型増幅器または乗算器に用いた場合には、消費電力を低減することができる。

【0088】

第4の発明に係る可変利得型差動増幅器によれば、入出力特性の飽和を抑制するとともに低歪み化を実現することができる。

【0089】

第5の発明に係る乗算器によれば、入出力特性の飽和を抑制するとともに低歪み化を実現することができる。

【0090】

第6の発明に係る可変インピーダンス回路によれば、入出力特性の飽和を抑制するとともに低歪み化を実現することができる。

【0091】

第7の発明に係る可変インピーダンス回路においては、第1および2の抵抗要素に流れる電流が等しくなる。

【0092】

第8～第14の発明に係る高周波回路によれば、十分に高いダイナミックレンジを実現することができる。同時に低歪み化を実現することができる。

【0093】

第15～第21の発明に係る差動分布型増幅器によれば、広帯域で利得を連続的に変化させることができる。

【発明を実施するための最良の形態】

【0094】

(第1の実施の形態)

図1は本発明の第1の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【0095】

図1の可変利得型差動増幅器は、バイポーラトランジスタ（以下、トランジスタと略記する）1、2、抵抗3、4、5、6、10、シャント抵抗7、8およびn-MOSFET（以下、FETと略記する）9により構成される。シャント抵抗7、8およびFET9が可変抵抗回路20を構成する。抵抗3、4、5、6はバイアス電位を決める。

【0096】

トランジスタ1のベースは入力信号 RF_{in} (+) を受ける入力端子 $NI1$ に接続され、トランジスタ2のベースは入力信号 RF_{in} (-) を受ける入力端子 $NI2$ に接続されている。入力信号 RF_{in} (+), RF_{in} (-) は、差動入力である。トランジスタ1, 2のコレクタは、それぞれ抵抗3, 4を介して電源電圧 V_{cc} を受ける電源端子 NVC に接続されている。トランジスタ1, 2のエミッタは、それぞれ抵抗5, 6を介して接地端子に接続されている。また、トランジスタ1, 2のコレクタは、それぞれ出力端子 $NO1$, $NO2$ に接続されている。出力端子 $NO1$, $NO2$ からそれぞれ出力信号 RF_{out} (-), RF_{out} (+) が導出される。出力信号 RF_{out} (+), RF_{out} (-) は差動出力である。

【0097】

トランジスタ1, 2のエミッタに接続されるノード $N1$, $N2$ 間には、シャント抵抗7、 $FET9$ およびシャント抵抗8が直列に接続されている。 $FET9$ のゲートは、抵抗10を介して制御電圧 AGC を受ける制御端子 NG に接続されている。

【0098】

抵抗3, 4は等しい抵抗値 R_c を有し、抵抗5, 6は等しい抵抗値 R_e を有し、シャント抵抗7, 8は等しい抵抗値 R_{sh} を有する。

【0099】

本実施の形態では、トランジスタ1が第1のトランジスタに相当し、トランジスタ2が第2のトランジスタに相当し、抵抗7, 8が第1および第2の抵抗要素に相当し、 $FET9$ が可変インピーダンス素子に相当する。また、抵抗3が第1の負荷に相当し、抵抗4が第2の負荷に相当し、抵抗5が第1のインピーダンス素子に相当し、抵抗6が第2のインピーダンス素子に相当する。さらに、可変抵抗回路20が可変インピーダンス回路に相当する。

【0100】

次に、図2 (a), (b), (c) を用いて図1の可変利得型差動増幅器の動作を説明する。図2 (a) は図1の可変利得型差動増幅器のトランジスタ1を含む片側半分を示し、図2 (b) は図1の可変利得型差動増幅器のトランジスタ1, 2、抵抗5, 6および模式化された可変抵抗回路20を示す。また、図2 (c) は比較例の差動増幅器またはギルバート型乗算器における高い入力電力レベル時の相互変調歪みの改善方法を示す図である。

【0101】

図2 (c) の示す比較例では、高い入力レベル時の相互変調歪みを改善するために、トランジスタ1, 2のエミッタとノード $N1$, $N2$ との間に抵抗51, 61を挿入することにより $FET9$ での歪みを緩和している。

【0102】

しかしながら、比較例の構成では、抵抗51, 61に電圧降下が発生し、動作電流が変化してしまう。

【0103】

これに対して、図1の可変利得型差動増幅器では、以下に説明するように、可変利得制御回路として働く $FET9$ の両端にシャント抵抗7, 8を接続することにより、動作電流を変化させることなく低歪み化を図ることができる。

【0104】

まず、図2 (a) に基づいてバイアス電圧および動作電流の決定方法を説明する。ここで、電源電圧を V_{cc} とし、トランジスタ1のベース電圧を V_{bb} とし、コレクタ電圧を V_c とし、エミッタ電圧を V_e とし、ベース・エミッタ電圧を V_{be} とし、コレクタ・エミッタ電圧を V_{ce} とする。また、トランジスタ1のコレクタ抵抗（抵抗3の抵抗値）を R_c とし、エミッタ抵抗（抵抗5の抵抗値）を R_e とし、コレクタ電流を I_{cc} 、エミッタ電流を I_{ee} とすれば、次式 (1) ~ (5) が成立する。

【0105】

$$V_{bb} = V_{be} + V_e = V_{be} + R_e \cdot I_{ee} \quad \cdots (1)$$

$$I_{ee} = (V_{bb} - V_{be}) / R_e \quad \cdots (2)$$

$$V_{cc} = I_{cc} \cdot R_c + V_{ce} + V_e \\ = I_{cc} \cdot R_c + V_{ce} + R_e \cdot I_{ee} \quad \cdots (3)$$

$$I_{cc} \doteq I_{ee} \quad \cdots (4)$$

$$V_{cc} = I_{cc} \cdot (R_c + R_e) + V_{ce} \quad \cdots (5)$$

【0106】

ここで、図2(a)の回路では、動作電流はエミッタ電流 I_{ee} に等しい。上式(2)からベース電圧 V_{be} およびエミッタ抵抗 R_e を決定すると、トランジスタ1の動作電流 I_{ee} が決まる。エミッタ抵抗 R_e が減少すると、動作電流 I_{ee} は増大することになる。

【0107】

図2(b)において、可変抵抗回路20の抵抗値を r とする。ここで、ノードN1, N2が同電位であれば、図2(a)の動作電流 I_{ee} は次式(6)のようになる。

【0108】

$$I_{ee} = 2 \cdot (V_{bb} - V_{be}) / R_e \quad \cdots (6)$$

【0109】

上式(6)から、図2(b)の回路の動作電流 I_{ee} は可変抵抗回路20の抵抗値 r に依存せず、可変抵抗回路20の抵抗値 r が変化しても動作電流 I_{ee} は一定となる。

【0110】

したがって、図1の可変利得型差動増幅器では、動作電流 I_{ee} を変化させることなく低歪み化を図ることができる。

【0111】

ここで、図1の可変利得型差動増幅器の例では、トランジスタ1, 2のエミッタ等のサイズとしては低雑音化に適した値を選択した。電源電圧 V_{cc} を3Vとし、総回路電流(動作電流)が5mAとなるように、抵抗3, 4の抵抗値 R_c を250 Ω とし、抵抗5, 6の抵抗値 R_e を250 Ω とし、シャント抵抗7, 8の抵抗値 R_{sh} を25 Ω とした。また、利得制御のために制御端子NGに3V~0Vの範囲内の制御電圧AGCを印加する。抵抗5, 6による電圧降下は約0.62Vとなり、シャント抵抗7, 8の抵抗値 R_{sh} を変更しても、総回路電流は変化しない。したがって、動作電流 I_{ee} を変化させることなく歪み特性を改善できることがわかった。

【0112】

(第2の実施の形態)

図3は本発明の第2の実施の形態におけるギルバート型乗算器(混合器)の構成を示す回路図である。

【0113】

図3のギルバート型乗算器は、バイポーラトランジスタ(以下、トランジスタと略記する)1, 2, 31, 32, 33, 34、抵抗3, 4, 5, 6, 10、シャント抵抗7, 8およびn-MOSFET(以下、FETと略記する)9により構成される。シャント抵抗7, 8およびFET9が可変抵抗回路20を構成する。抵抗3, 4, 5, 6はバイアス電位を決める。

【0114】

トランジスタ1のベースは入力信号 $RF_{in}(+)$ を受ける入力端子N11に接続され、トランジスタ2のベースは入力信号 $RF_{in}(-)$ を受ける入力端子N12に接続されている。入力信号 $RF_{in}(+)$, $RF_{in}(-)$ は、差動入力である。トランジスタ1のコレクタと出力端子NO1, NO2との間にそれぞれトランジスタ31, 32が挿入されている。また、トランジスタ2のコレクタと出力端子NO1, NO2との間にそれぞれトランジスタ33, 34が挿入されている。トランジスタ31, 34のベースは入力信号 $LO_{in}(+)$ を受ける入力端子N13に接続され、トランジスタ32, 33のベースは入力信号 $LO_{in}(-)$ を受ける入力端子N14に接続されている。入力信号 $LO_{in}(-)$

+) , $LO_{in}(-)$ は差動入力である。トランジスタ 31, 33 のコレクタは、抵抗 3 を介して電源電圧 V_{cc} を受ける電源端子 NVC に接続されている。また、トランジスタ 32, 34 のコレクタは、抵抗 4 を介して電源端子 NVC に接続されている。

【0115】

図 3 のギルバート型乗算器の他の部分の構成は、図 1 の可変利得型差動増幅器の構成と同様である。

【0116】

本実施の形態では、トランジスタ 31 が第 1 のトランジスタに相当し、トランジスタ 32 が第 2 のトランジスタに相当し、トランジスタ 33 が第 3 のトランジスタに相当し、トランジスタ 34 が第 4 のトランジスタに相当し、トランジスタ 1 が第 5 のトランジスタに相当し、トランジスタ 2 が第 6 のトランジスタに相当する。シャント抵抗 7, 8 が第 1 および第 2 の抵抗要素に相当し、FET 9 が可変インピーダンス素子に相当する。また、抵抗 3 が第 1 の負荷に相当し、抵抗 4 が第 2 の負荷に相当し、抵抗 5 が第 1 のインピーダンス素子に相当し、抵抗 6 が第 2 のインピーダンス素子に相当する。さらに、可変抵抗回路 20 が可変インピーダンス回路に相当する。

【0117】

ここで、一方の差動入力信号を $RF = RF_{in}(+) - RF_{in}(-)$ とし、他方の差動入力信号を $LO = LO_{in}(+) - LO_{in}(-)$ とし、差動出力信号を $IF = IF_{out}(+) - IF_{out}(-)$ とする。また、差動入力信号 RF の周波数を f_{RF} とし、差動入力信号 LO の周波数を f_{LO} とし、差動出力信号 IF の周波数を f_{IF} とすると、次式が成立する。

【0118】

$$f_{IF} = f_{RF} \pm f_{LO}$$

例えば、差動入力信号 RF の周波数 f_{RF} を 1.1 GHz とし、差動入力信号 LO の周波数 f_{LO} を 1 GHz とすると、差動出力信号 IF の周波数 f_{IF} は 2.1 GHz および 100 MHz となる。したがって、図 3 のギルバート型乗算器は、100 MHz の周波数 f_{IF} を取り出すことにより、ダウンコンバータとして用いることができる。

【0119】

図 3 のギルバート型乗算器においても、図 1 の可変利得型差動増幅器と同様に、動作電流を変化させることなく歪み特性を改善することができる。

【0120】

ここで、図 3 のギルバート型乗算器における歪み特性を計算した。図 4 は図 3 のギルバート型乗算器における歪み特性の可変インピーダンス回路の抵抗値 R_s 依存性の計算結果を示す図である。ここでは、可変インピーダンス回路の抵抗値 R_s を変化させ、3 次相互変調歪みを算出した。

【0121】

図 4 に示すように、可変インピーダンス回路の抵抗値 R_s の増加に伴って 3 次相互変調歪みが低減されることがわかる。この場合にも、上記のように、動作電流は変化しない。したがって、図 3 のギルバート型乗算器においても、動作電流を変化させることなく歪み特性を改善することができる。

【0122】

(可変抵抗回路の第 1 の例)

図 5 は図 1 の可変利得型差動増幅器および図 3 のギルバート型乗算器に用いられる可変抵抗回路 20 の回路図である。

【0123】

図 5 の可変抵抗回路 20 は、シャント抵抗 7, 8、抵抗 10 および FET 9 により構成される。シャント抵抗 7、FET 9 およびシャント抵抗 8 は、ノード $N1$ とノード $N2$ との間に接続される。ノード $N1$, $N2$ には同電位が与えられる。FET 9 のゲートは抵抗 10 を介して制御端子 NG に接続されている。制御端子 NG には制御電圧 AGC が印加される。

【0124】

図5の可変抵抗回路20では、制御電圧AGCを変化させることにより、ノードN1、N2が同電位の状態でノードN1、N2間のインピーダンスを変化させることができる。この場合、ノードN1、N2の電位が等しいので、シャント抵抗7、FET9およびシャント抵抗8に電流が流れない。したがって、この可変抵抗回路20が付加される回路において、消費電力が増加しない。

【0125】

図5の可変抵抗回路20は、図1の可変利得型差動増幅器および図3のギルバート型乗算器に限らず、ノードN1、N2が同電位の状態でノードN1、N2間のインピーダンスを変化させる場合に用いることができ、種々の回路に適用することができる。

【0126】

(第3の実施の形態)

図6は本発明の第3の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【0127】

図6の可変利得型差動増幅器が図1の可変利得型差動増幅器と異なるのは、可変抵抗回路20の代わりに可変抵抗回路30が設けられている点である。

【0128】

可変抵抗回路30は、FET11、12および抵抗13、15、16により構成される。FET11、12は、ノードN1とノードN2との間に直列に接続されている。FET11、12のゲートは、それぞれ抵抗15、16を介して制御電圧AGCを受ける制御端子NGに接続されている。

【0129】

抵抗3、4は等しい抵抗値 R_c を有し、抵抗5、6は等しい抵抗値 R_e を有し、抵抗15、16は等しい抵抗値 R_g を有する。

【0130】

図6の可変利得型差動増幅器の他の部分の構成は、図1の可変利得型差動増幅器の構成と同様である。

【0131】

本実施の形態では、トランジスタ1が第1のトランジスタに相当し、トランジスタ2が第2のトランジスタに相当し、FET11が第1の可変インピーダンス素子に相当し、FET12が第2の可変インピーダンス素子に相当する。また、抵抗3が第1の負荷に相当し、抵抗4が第2の負荷に相当し、抵抗5が第1のインピーダンス素子に相当し、抵抗6が第2のインピーダンス素子に相当する。さらに、可変抵抗回路30が可変インピーダンス回路に相当する。

【0132】

次に、図7を用いて図6の可変利得型差動増幅器の動作を説明する。図7は図6の可変利得型差動増幅器のトランジスタ1、2、抵抗5、6および模式化された可変抵抗回路30を示す図である。

【0133】

図6の可変利得型差動増幅器では、以下に説明するように、ノードN1、N2間に2つのFET11、12を直列に接続し、2つのFET11、12間のノードN3を抵抗13を介して接地端子に接続することにより、利得に応じた動作電流が流れることになる。

【0134】

図7において、可変抵抗回路30のFET11、12の抵抗値をそれぞれ r とし、抵抗13の抵抗値を R とする。FET11、12に流れる電流を I_r とすると、抵抗13に流れる電流は $2I_r$ となる。ここで、ノードN1、N2が同電位であれば、図7の動作電流 $I_{ee'}$ は次式(7)のようになる。

【0135】

$$I_{ee'} = 2 \cdot (V_{bb} - V_{be}) / R_e$$

$$+ (V_{bb} - V_{be}) / \{ (R + (r/2)) \} \quad \dots (7)$$

【0136】

上式(7)から、図7の回路の動作電流 $I_{ee'}$ は可変抵抗回路30のFET11, 12の抵抗値 r に依存して変化する。すなわち、可変抵抗回路30のFET11, 12の抵抗値 r が減少すると、利得が増大するとともに、動作電流 $I_{ee'}$ も増大することになる。

【0137】

それにより、図6の可変利得型差動増幅器は、高利得時には高電流で動作し、低利得時(減衰時)には低電流で動作することができる。したがって、出力電力レベルに応じた動作電流を設定することが可能となり、入出力特性の飽和を抑制することができる。

【0138】

ここで、図6の可変利得型差動増幅器における動作電流および入出力特性を計算した。

【0139】

トランジスタ1, 2のエミッタ等のサイズは低雑音化に適した値を選択した。電源電圧 V_{cc} を3Vであり、ベース・エミッタ間抵抗 V_{be} は約0.85Vである。動作電流が約5mA(制御電圧AGCが0Vのとき)となるように、抵抗3, 4の抵抗値 R_c を250 Ω とし、抵抗5, 6の抵抗値 R_e を250 Ω とし、抵抗13の抵抗値 R を抵抗値 R_e の1/4の62.5 Ω とした。また、利得制御のために制御端子NGに3V~0Vの範囲内の制御電圧AGCを印加する。

【0140】

図8は図6の可変利得型差動増幅器における動作電流の制御電圧AGC依存性の計算結果を示す図である。図9は実施例として図6の可変利得型差動増幅器における入出力特性の計算結果および比較例として図35の可変利得型差動増幅器における入出力特性の計算結果を示す図である。

【0141】

図8に示すように、図6の可変利得型差動増幅器では、制御電圧AGCの変化に伴って動作電流が2倍程度変化していることがわかる。また、図9に示すように、実施例の可変利得型差動増幅器では、比較例の可変利得型差動増幅器に比べて高利得時の飽和が改善されていることがわかる。したがって、実施例の可変利得型差動増幅器では、入出力特性の線形性が高くなり、歪み特性が改善される。

【0142】

(第4の実施の形態)

図10は本発明の第4の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【0143】

図10の可変利得型差動増幅器が図6の可変利得型差動増幅器と異なるのは、抵抗3, 4の代わりに負荷回路50が設けられ、トランジスタ1, 2の代わりにn-MOSFET 1a, 2aが設けられている点である。なお、図10では、抵抗5, 6の代わりに電流源5a, 6aで表記しているが、電流源5a, 6aとしては高インピーダンスなトランジスタを用いればよい。負荷回路50としては、抵抗素子、容量性素子(例えばキャパシタ)、誘導性素子(例えばインダクタまたは変圧器)、トランジスタ(例えばMOSFET、MESFET(金属半導体電界効果トランジスタ)またはバイポーラトランジスタ)等の他の素子、あるいはこれらの素子を組合せた回路を用いることができる。

【0144】

図10の可変利得型差動増幅器の他の部分の構成は、図6の可変利得型差動増幅器の構成と同様である。

【0145】

本実施の形態に係る可変利得型差動増幅器においても、第3の実施の形態に係る可変利得型差動増幅器と同様に、高利得時には動作電流が増加し、低利得時(減衰時)には動作電流が減少する。それにより、高利得時の入出力特性の飽和が改善される。その結果、入

出力特性の線形性が高くなり、歪み特性が改善される。

【0146】

(第5の実施の形態)

図11は本発明の第5の実施の形態におけるギルバート型乗算器(混合器)の構成を示す回路図である。

【0147】

図11のギルバート型乗算器は、バイポーラトランジスタ(以下、トランジスタと略記する)1, 2, 31, 32, 33, 34、抵抗3, 4, 5, 6, 13, 15, 16およびn-MOSFET(以下、FETと略記する)11, 12により構成される。抵抗13, 15, 16およびFET11, 12が可変抵抗回路30を構成する。

【0148】

トランジスタ1のベースは入力信号RFin(+)を受ける入力端子NI1に接続され、トランジスタ2のベースは入力信号RFin(-)を受ける入力端子NI2に接続されている。入力信号RFin(+), RFin(-)は、差動入力である。トランジスタ1のコレクタと出力端子NO1, NO2との間にそれぞれトランジスタ31, 32が挿入されている。また、トランジスタ2のコレクタと出力端子NO1, NO2との間にそれぞれトランジスタ33, 34が挿入されている。トランジスタ31, 34のベースは入力信号LOin(+)を受ける入力端子NI3に接続され、トランジスタ32, 33のベースは入力信号LOin(-)を受ける入力端子NI4に接続されている。入力信号LOin(+), LOin(-)は差動入力である。トランジスタ31, 33のコレクタは、抵抗3を介して電源電圧Vccを受ける電源端子NVCに接続されている。また、トランジスタ32, 34のコレクタは、抵抗4を介して電源端子NVCに接続されている。

【0149】

図11のギルバート型乗算器の他の部分の構成は、図6の可変利得型差動増幅器の構成と同様である。

【0150】

本実施の形態では、トランジスタ31が第1のトランジスタに相当し、トランジスタ32が第2のトランジスタに相当し、トランジスタ33が第3のトランジスタに相当し、トランジスタ34が第4のトランジスタに相当し、トランジスタ1が第5のトランジスタに相当し、トランジスタ2が第6のトランジスタに相当する。また、抵抗3が第1の負荷に相当し、抵抗4が第2の負荷に相当し、抵抗5が第1のインピーダンス素子に相当し、抵抗6が第2のインピーダンス素子に相当する。さらに、可変抵抗回路30が可変インピーダンス回路に相当する。

【0151】

本実施の形態に係るギルバート型乗算器においても、第4の実施の形態に係る可変利得型差動増幅器と同様に、高利得時に動作電流が増加し、低利得時(減衰時)に動作電流が減少する。それにより、高利得時の入出力特性の飽和が改善される。その結果、入出力特性の線形性が高くなり、歪み特性が改善される。

【0152】

(第6の実施の形態)

図12は本発明の第6の実施の形態におけるギルバート型乗算器(混合器)の構成を示す回路図である。

【0153】

図12のギルバート型乗算器が図11のギルバート型乗算器と異なるのは、トランジスタ1, 2, 31, 32, 33, 34の代わりにn-MOSFET1a, 2a, 31a, 32a, 33a, 34aが用いられ、抵抗3, 4の代わりに負荷回路50が用いられ、抵抗5, 6の代わりに電流源となるインピーダンス素子5a, 6aが設けられ、抵抗15, 16の代わりに共通の抵抗17が用いられている点である。負荷回路50およびインピーダンス素子5a, 6aは図10の負荷回路50およびインピーダンス素子5a, 6aと同様である。

【0154】

本実施の形態に係るギルバート型乗算器においても、第4の実施の形態に係る可変利得型差動増幅器と同様に、高利得時に動作電流が増加し、低利得時（減衰時）に動作電流が減少する。それにより、高利得時の入出力特性の飽和が改善される。その結果、入出力特性の線形性が高くなり、歪み特性が改善される。

【0155】

（可変抵抗回路の第2の例）

図13は図6および図10の可変利得型差動増幅器ならびに図11および図12のギルバート型乗算器に用いられる可変抵抗回路30の回路図である。

【0156】

図13の可変抵抗回路30は、FET11, 12および抵抗13, 15, 16により構成される。FET11, 12は、ノードN1とノードN2との間に直列に接続される。また、ノードN1は抵抗5を介してノードN11に接続され、ノードN2は抵抗6を介してノードN12に接続されている。FET11, 12間のノードN3は抵抗13を介してノードN13に接続されている。FET11, 12のゲートはそれぞれ抵抗15, 16を介して制御端子NGに接続されている。

【0157】

ノードN1, N2にはそれぞれ電圧A, Bが与えられる。ノードN11, N12にはそれぞれ電圧C, Dが与えられ、ノードN13には電圧Eが与えられる。制御端子NGには制御電圧AGCが印加される。電圧A, Bは等しく、電圧C, D, Eは等しくても異なってもよい。

【0158】

ここで、電圧A, Bが等しく、電圧C, Dが等しく、電圧C, D, Eが電圧A, Bと異なるとする。この場合、制御電圧AGCに応じて抵抗5, 6, 13に流れる電流を変化させることができる。したがって、可変抵抗回路30を可変電流源として用いることができる。特に、電圧C, D, Eが等しい場合には、抵抗5, 6, 13とそれぞれに流れる電流との積は一定となる。

【0159】

図13の可変抵抗回路30は、図6の可変利得型差動増幅器および図10の可変利得型差動増幅器ならびに図11および図12のギルバート型乗算器に限らず、可変電流源として種々の回路に適用することができる。

【0160】

（第7の実施の形態）

図14は第7の実施の形態における差動入出力高周波回路の構成を示す図である。図14の差動入出力高周波回路は高周波受信機に用いられる。

【0161】

図14の差動入出力高周波回路は、可変利得型増幅器510、可変利得型乗算器520および中間周波帯増幅器（以下、IF帯増幅器と呼ぶ）530により構成される。可変利得型増幅器510には差動信号が入力され、IF帯増幅器530から増幅された差動信号が出力される。可変利得型増幅器510および可変利得型乗算器520には、それぞれ利得を制御するための制御電圧AGC1, AGC2が与えられる。なお、制御電圧AGC1, AGC2は共通の制御電圧であってもよい。この場合、共通の制御電圧により可変利得型増幅器510および可変利得型乗算器520の両方の利得を制御することができる。

【0162】

可変利得型増幅器510は可変利得機能を有する可変利得型差動増幅器からなり、可変利得型乗算器520は可変利得機能を有するギルバート型乗算器からなり、IF帯増幅器530は可変利得機能を有さない差動増幅器からなる。

【0163】

図14の差動入出力高周波回路においては、可変利得型増幅器510には広い周波数範囲の高周波信号が入力され、可変利得型乗算器520から一定の中間周波数信号が出力さ

れる。それにより、IF 帯増幅器 530 に入力される信号の周波数が一定となる。

【0164】

図15は図14の差動入出力高周波回路の可変利得型増幅器510および可変利得型乗算器520の具体的な回路構成を示す回路図である。

【0165】

図15の差動入出力高周波回路においては、可変利得型増幅器510は可変利得型差動増幅器からなり、可変利得型乗算器520はギルバート型乗算器からなる。

【0166】

可変利得型増幅器510は、トランジスタ1, 2、抵抗3, 4, 5, 6、および可変抵抗回路800を備える。

【0167】

可変利得型乗算器520は、トランジスタ1, 2, 31, 32, 33, 34、抵抗3, 4, 5, 6、および可変抵抗回路800を備える。

【0168】

可変利得型増幅器510において、トランジスタ1, 2のベースは、それぞれ入力信号 $RF_{in}(+)$, $RF_{in}(-)$ を受ける。また、トランジスタ1, 2のベースは、それぞれ抵抗21, 22を介してバイアス電圧 V_b を受ける。トランジスタ1, 2のコレクタは、それぞれ抵抗3, 4を介して電源電圧 V_{cc} を受ける。トランジスタ1, 2のエミッタは、それぞれ抵抗5, 6を介して接地端子に接続されている。トランジスタ1, 2のエミッタに接続されるノードN1, N2間に可変抵抗回路800が接続されている。トランジスタ1, 2のコレクタは、それぞれ段間コンデンサC1, C2を介して可変利得型乗算器520のトランジスタ1, 2のベースに接続されている。

【0169】

可変利得型乗算器520において、トランジスタ31, 34のベースは入力信号 $LO_{in}(+)$ を受け、トランジスタ32, 33のベースは入力信号 $LO_{in}(-)$ を受ける。また、トランジスタ31, 34のベースは抵抗23を介してバイアス電圧 V_b を受け、トランジスタ32, 33のベースは抵抗24を介してバイアス電圧 V_b を受ける。

【0170】

トランジスタ31, 33のコレクタは、抵抗3を介して電源電圧 V_{cc} を受け、トランジスタ32, 34のコレクタは、抵抗4を介して電源電圧 V_{cc} を受ける。また、トランジスタ31, 33のコレクタからそれぞれ出力信号 $IF_{out}(+)$ が導出され、トランジスタ32, 34のコレクタから出力信号 $IF_{out}(-)$ が導出される。

【0171】

トランジスタ31, 32のエミッタはトランジスタ1のコレクタに接続され、トランジスタ33, 34のエミッタはトランジスタ2のコレクタに接続される。トランジスタ1, 2のエミッタに接続されるノードN1, N2間に可変抵抗回路800が接続されている。

【0172】

可変利得型増幅器510の可変抵抗回路800および可変利得型乗算器520の可変抵抗回路800には、それぞれ抵抗を介して制御電圧 $AGC1$, $AGC2$ が与えられる。制御電圧 $AGC1$, $AGC2$ は共通の制御電圧であってもよい。

【0173】

可変利得型増幅器510の可変抵抗回路800としては、図1の可変抵抗回路20、図6の可変抵抗回路30、図16の可変抵抗回路40または後述する可変抵抗回路70を用いることができる。また、可変利得型乗算器520の可変抵抗回路800としては、図1の可変抵抗回路20、図6の可変抵抗回路30、図16の可変抵抗回路40または後述する可変抵抗回路70を用いることができる。

【0174】

図15の差動入出力高周波回路において、入力電力レベルが低い場合には、可変抵抗回路800の抵抗値が最も低くなるように制御電圧 $AGC1$, $AGC2$ を印加する。このと

き、可変利得型増幅器 510 および可変利得型乗算器 520 は、同時に最大の利得および最小の雑音指数で動作する。したがって、この差動入出力高周波回路では、低入力電力レベル時に受信感度が最大になる。

【0175】

逆に、入力電力レベルが高い場合には、可変抵抗回路 800 の抵抗値が最も高くなるように制御電圧 AGC1, AGC2 を印加する。このとき、可変利得型増幅器 510 および可変利得型乗算器 520 は、同時に最小の利得で動作する。したがって、この差動入出力高周波回路では、高入力電力レベル時に最大の減衰量で動作するので、相互変調歪みおよび混変調が最小となる。

【0176】

可変利得型増幅器 510 および可変利得型乗算器 520 の利得範囲は、可変利得型増幅器 510 の利得範囲と可変利得型乗算器 520 の利得範囲との掛け合わされた範囲となる。

【0177】

このように、可変利得型増幅器 510 および可変利得型乗算器 520 の両方で利得を制御することにより、高いダイナミックレンジを有する高周波回路が実現される。

【0178】

図 16 は図 15 の可変利得型増幅器 510 および可変利得型乗算器 520 の第 1 の具体例を示す回路図である。

【0179】

図 16 の例では、可変利得型増幅器 510 の可変抵抗回路 800 として可変抵抗回路 40 が用いられ、可変利得型乗算器 520 の可変抵抗回路 800 として可変抵抗回路 20 が用いられている。

【0180】

この場合、可変利得型乗算器 520 において、動作電流を変化させることなく歪み特性を改善することができる。したがって、可変利得型乗算器 520 において消費電力を増加させることなく低歪み化を図ることができる。

【0181】

図 17 は図 15 の可変利得型増幅器 510 および可変利得型乗算器 520 の第 2 の具体例を示す回路図である。

【0182】

図 17 の例では、可変利得型増幅器 510 の可変抵抗回路 800 として可変抵抗回路 20 が用いられ、可変利得型乗算器 520 の可変抵抗回路 800 として可変抵抗回路 20 が用いられている。

【0183】

この場合、可変利得型増幅器 510 および可変利得型乗算器 520 において、動作電流を変化させることなく歪み特性を改善することができる。したがって、消費電力を増加させることなく十分に低歪み化を図ることができる。

【0184】

図 17 の差動入出力高周波回路の例では、トランジスタ 1, 2 のエミッタ等のサイズは低雑音化に適した値を選択した。電源電圧 V_{cc} は 3 V である。可変利得型増幅器 510 では、動作電流が 5 mA となるように抵抗 3, 4 の抵抗値をそれぞれ 250 Ω とし、抵抗 5, 6 の抵抗値をそれぞれ 250 Ω とし、可変抵抗回路 20 のシャント抵抗 7, 8 の抵抗値を 25 Ω とした。可変利得型乗算器では、動作電流が 4 mA となるように抵抗 3, 4 の抵抗値を 250 Ω とし、抵抗 5, 6 の抵抗値を 250 Ω とし、可変抵抗回路 20 のシャント抵抗 7, 8 の抵抗値を 25 Ω とした。可変利得型増幅器 510 の可変抵抗回路 20 およびは可変利得型乗算器 520 の可変抵抗回路 20 の FET 9 のゲートには 5 k Ω 程度の高抵抗値を有する抵抗 10 を介して共通の制御電圧 AGC1, AGC2 を印加する。

【0185】

ここでは、電源電圧 V_{cc} が 3 V であるので、最大利得時には、制御電圧 AGC を 3 V

とし、最小利得時（最大減衰時）には、制御電圧AGC1, AGC2を0Vとする。

【0186】

入力電力レベルが変化した場合、想定する最小の入力電力レベル時に可変利得型増幅器510および可変利得型乗算器520が最大の利得および最小の雑音指数で動作し、そのときの差動中間周波信号（出力信号IFout（+）, IFout（-））のレベルを維持するように、制御電圧AGCを変化させる。

【0187】

それにより、可変利得型増幅器510および可変利得型乗算器520の利得が同時に制御され、可変利得型増幅器510の可変利得範囲と可変利得型乗算器520の可変利得範囲とが掛け合わされる。したがって、高いダイナミックレンジを有する高周波受信機を実現することができる。

【0188】

図18は図15の可変利得型増幅器510および可変利得型乗算器520の第3の具体例を示す回路図である。

【0189】

図18の例では、可変利得型増幅器510の可変抵抗回路800として可変抵抗回路30が用いられ、可変利得型乗算器520の可変抵抗回路800として可変抵抗回路30が用いられている。

【0190】

この場合、可変利得型増幅器510および可変利得型乗算器520において、高利得時の入出力特性の飽和が改善され、入出力特性の線形性が高くなり、歪み特性が改善される。したがって、ダイナミックレンジが大きく改善されるとともに低歪み化が図られる。

【0191】

図19は図15の可変利得型増幅器510および可変利得型乗算器520の第4の具体例を示す回路図である。

【0192】

図19の例では、可変利得型増幅器510の可変抵抗回路800として可変抵抗回路30が用いられ、可変利得型乗算器520の可変抵抗回路800として可変抵抗回路20が用いられている。

【0193】

この場合、可変利得型増幅器510において、高利得時の飽和が改善され、入出力特性の線形性が高くなり、歪み特性が改善される。また、可変利得型乗算器520において、動作電流を変化させることなく歪み特性を改善することができる。したがって、ダイナミックレンジが改善されるとともに低歪み化が図られる。

【0194】

図20は図15の可変利得型増幅器510および可変利得型乗算器520の第5の具体例を示す回路図である。

【0195】

図20の例では、可変利得型増幅器510の可変抵抗回路800として可変抵抗回路20が用いられ、可変利得型乗算器520の可変抵抗回路800として可変抵抗回路30が用いられている。

【0196】

この場合、可変利得型増幅器510において、動作電流を変化させることなく歪み特性を改善することができる。また、可変利得型乗算器520において、高利得時の飽和が改善され、入出力特性の線形性が高くなり、歪み特性が改善される。したがって、ダイナミックレンジが改善されるとともに低歪み化が図られる。

【0197】

図21は図15の可変利得型増幅器510および可変利得型乗算器520の第6の具体例を示す回路図である。

【0198】

図21の例では、可変利得型増幅器510の可変抵抗回路800として可変抵抗回路70が用いられ、可変利得型乗算器520の可変抵抗回路800として可変抵抗回路20が用いられている。

【0199】

ここで、可変抵抗回路70は、FET71、72および抵抗701、702、711、712を含む。トランジスタ1のエミッタは抵抗701、702を介して接地端子に接続されている。トランジスタ2のエミッタは711、712を介して接地端子に接続されている。FET71はトランジスタ1、2のエミッタ間に接続されている。FET72は抵抗701、702間のノードと抵抗711、712間のノードとの間に接続されている。FET71、72のゲートにはそれぞれ81、82を介して制御電圧AGC1が与えられる。

【0200】

可変利得型増幅器510においては、FET71、72のゲートに共通の制御電圧AGC1が与えられるので、FET71のゲート・ソース電圧およびゲート・ドレイン電圧は、FET72のゲート・ソース電圧およびゲート・ドレイン電圧と異なる。これは、FET71、72のゲートに異なる制御電圧を与えることに等しい。したがって、FET71に非線形性が最も高くなる制御電圧が印加されているときに、FET72には非線形性が低くなる制御電圧が印加されることになる。逆に、FET72に非線形性が最も高くなる制御電圧が印加されているときに、FET71に非線形性が低くなる制御電圧が印加されることになる。その結果、制御電圧AGC1を変化させて連続的な利得制御を行う場合に、特定の制御電圧AGC1での可変利得型差動増幅器の歪み特性の急激な劣化が抑制される。それにより、歪みが一定レベル以下に抑制される。

【0201】

したがって、図21の例では、歪みが一定レベル以下に抑制されるとともにダイナミックレンジが改善される。

【0202】

(他の変形例)

なお、上記第1～第7の実施の形態において、第1～第6のトランジスタとしてMOSFET、MESFET等の他のトランジスタを用いてもよい。第1～第6のトランジスタの一部または全ての代わりに、カスコード接続されたトランジスタを用いてもよい。

【0203】

また、上記第1～第7の実施の形態において、第1および第2の負荷として他の抵抗素子、容量性素子（例えばキャパシタ）、誘導性素子（例えばインダクタまたは変圧器）、トランジスタ（例えばMOSFET、MESFETまたはバイポーラトランジスタ）等の他の素子、あるいはこれらの素子を組み合わせた回路を用いてもよい。

【0204】

さらに、上記第1～第7の実施の形態において、第1および第2のインピーダンス素子として他の抵抗素子、容量性素子（例えばキャパシタ）、誘導性素子（例えばインダクタまたは変圧器）、トランジスタ（MOSFET、MESFETまたはバイポーラトランジスタ）等の他の素子、あるいはこれらの素子を組み合わせた回路を用いてもよい。

【0205】

また、上記第1～第7の実施の形態において、可変インピーダンス素子としてp-MOSFET、バイポーラトランジスタ等の他のトランジスタを用いてよく、あるいは制御電圧に応じて変化するインピーダンスを有する他の可変インピーダンス素子を用いてもよい。

【0206】

さらに、上記第1、第2および第7の実施の形態において、第1および第2の抵抗要素として抵抗成分を有する他の素子を用いてもよく、あるいは抵抗成分を有する複数の素子を組み合わせた回路を用いてもよい。

【0207】

また、上記第3～第7の実施の形態において、抵抗要素として抵抗低分を有する他の素子を用いてもよく、あるいは抵抗成分を有する複数の素子を組み合わせた回路を用いてもよい。

【0208】

(第8の実施の形態)

図22は第8の実施の形態に係る差動分布型増幅器の構成を示す回路図である。

【0209】

図22の差動分布型増幅器は、複数の差動対回路11A～14A、入力側の複数のインダクタ11L～14L、入力側の複数のインダクタ21L～24L、出力側の複数のインダクタ31L～34L、出力側の複数のインダクタ41L～44L、抵抗R11, R21, R31, R41およびコンデンサC11, C12, C21, C22, C31, C32, C41, C42により複数段の差動増幅部AM1～AM4が構成される。

【0210】

本実施の形態では、インダクタ11L～14L, 21L～24L, 31L～34L, 41L～44Lとしてスパイラルインダクタが用いられる。インダクタ11L～14Lは直列に接続され、第1の入力側伝送回路を構成する。第1の入力側伝送回路の一端はバイアス端子NB10に接続されかつコンデンサC11を介して入力端子NI10に接続され、他端はコンデンサC12および抵抗R11を介して接地されている。

【0211】

インダクタ21L～24Lは直列に接続され、第2の入力側伝送回路を構成する。第2の入力側伝送回路の一端はバイアス端子NB20に接続されかつコンデンサC21を介して入力端子NI20に接続され、他端はコンデンサC22および抵抗R21を介して接地されている。

【0212】

インダクタ31L～34Lは直列に接続され、第1の出力側伝送回路を構成する。第1の出力側伝送回路の一端はコンデンサC31および抵抗R31を介して接地され、他端は電源端子NV10に接続されかつコンデンサC32を介して出力端子NO10に接続されている。

【0213】

インダクタ41L～44Lは直列に接続され、第2の出力側伝送回路を構成する。第2の出力側伝送回路の一端はコンデンサC41および抵抗R41を介して接地され、他端は電源端子NV20に接続されかつコンデンサC42を介して出力端子NO20に接続されている。

【0214】

差動対回路11A～14Aの各々は、入力端子NI1, NI2、出力端子NO1, NO2および接地端子NG0を有する。差動対回路11A～14Aの入力端子NI1はインダクタ11L～14Lの一端にそれぞれ接続され、入力端子NI2はインダクタ21L～24Lの一端にそれぞれ接続され、出力端子NO1はインダクタ31L～34Lの一端にそれぞれ接続され、出力端子NO2はインダクタ41L～44Lの一端にそれぞれ接続されている。差動対回路11A～14Aの接地端子NG0は接地され、制御端子NGCは制御端子NGに接続されている。

【0215】

入力端子NI10, NI20に互いに反転した位相を有する入力信号IN(+), IN(-)がそれぞれ与えられる。入力信号IN(+), IN(-)は差動入力である。バイアス端子NB10, NB20にはそれぞれバイアス電圧VB1, VB2が与えられ、電源端子NV10, NV20にはそれぞれ電源電圧Vccが与えられる。制御端子NGには制御電圧AGCが与えられる。出力端子NO10, NO20から互いに反転した位相を有する出力信号OUT(-), OUT(+)がそれぞれ導出される。出力信号OUT(-), OUT(+)は差動出力である。

【0216】

図23は第8の実施の形態に係る差動分布型増幅器における差動対回路11Aの構成の一例を示す回路図である。なお、差動対回路12A～14Aの構成は、差動対回路11Aの構成と同様である。

【0217】

差動対回路11Aは、 n -MOSFET（以下、FETと略記する）1a, 2a, 11, 12および抵抗13, 15, 16を含む。FET1aは出力端子NO1とノードN1との間に接続され、FET2aは出力端子NO2とノードN2との間に接続され、FET11はノードN1とノードN3との間に接続され、FET12はノードN2とノードN3との間に接続されている。

【0218】

FET1a, 2aのゲートはそれぞれ入力端子NI1, NI2に接続されている。ノードN3は抵抗13を介して接地端子NG0に接続され、FET11, 12のゲートはそれぞれ抵抗15, 16を介して制御端子NGCに接続されている。

【0219】

図24は第8の実施の形態に係る差動分布型増幅器における1段の差動増幅部AM1の構成を示す回路図である。

【0220】

図24の差動増幅部AM1は、図23の差動対回路11Aおよび図22のインダクタ31L, 41Lを含む。

【0221】

入力端子NI1, NI2にはそれぞれ図22の入力信号IN(+), IN(-)に基づく入力信号RFin(+), RFin(-)が与えられる。出力端子NO1, NO2からそれぞれ出力信号RFout(-), RFout(+)が導出される。FET11, 12および抵抗13, 15, 16が可変インピーダンス回路を構成する。

【0222】

図24の差動増幅部AM1においては、ノードN3が高周波に対して仮想接地点となる。仮想接地点とFET1a, 2aのソース（ノードN1, N2）との間のインピーダンス（接地インピーダンス）を可変インピーダンス回路の通過特性により変化させることができる。可変インピーダンス回路のインピーダンスを高くした場合には、差動増幅部AM1の利得が減衰し、可変インピーダンス回路のインピーダンスを低くした場合には、差動増幅部AM1の利得が増加する。

【0223】

差動対回路11A～14AのFET1a, 2a, 11, 12のゲート長は例えば0.18 μ mであり、ゲート幅は例えば100 μ mである。また、抵抗13の抵抗値は例えば100 Ω であり、抵抗15, 16の抵抗値は例えば5 k Ω 程度である。インダクタ11L～14L, 21L～24Lとして例えば0.6 nHのスパイラルインダクタを用い、インダクタ31L～34L, 41L～44Lとして例えば0.5 nHのスパイラルインダクタを用いる。

【0224】

可変インピーダンス回路を構成するFET11, 12の定格電圧は例えば1.8 Vである。利得制御のために制御端子NGに印加される制御電圧AGCを1.8 V～0 Vの範囲内で連続的に変化させると、差動分布型増幅器は制御電圧AGCが1.8 Vのときに最大利得を示し、制御電圧AGCが0 Vのときに最小利得を示す。

【0225】

図25は第8の実施の形態に係る差動分布型増幅器における差動対回路11Aの構成の他の例を示す回路図である。なお、差動対回路12A～14Aの構成は、差動対回路11Aの構成と同様である。

【0226】

図25の差動対回路11Aが図23の差動対回路11Aと異なるのは、抵抗13の代わりに定電流源130が設けられている点である。定電流源130は、 n -MOSFET（

FETと略記する) 131, 132および電流源133を含む。FET131はノードN3と接地端子NG1との間に接続され、FET131, 132のゲートはFET132のドレインに接続されている。電流源133およびFET132は電源電圧Vccを受ける電源端子NV30と接地端子NG2との間に直列に接続されている。

【0227】

図25の差動対回路11Aを用いた場合には、動作電流を安定化させることができる。

【0228】

本実施の形態に係る差動分布型増幅器においては、差動対回路11A~14AのFET1a, 2aのゲート・ソース間容量とインダクタ11L~14L, 21L~24Lとにより入力側の擬似伝送線路が構成され、差動対回路11A~14AのFET1a, 2aのドレイン・ソース間容量とインダクタ31L~34L, 41L~44Lとにより出力側の擬似伝送線路が構成される。それにより、広帯域にわたって入出力インピーダンス整合を得ることができる。

【0229】

また、本実施の形態に係る差動分布型増幅器は、複数段の差動増幅部AM1~AM4により構成されるので、広帯域にわたって利得を連続的に変化させることができる。

【0230】

本実施の形態では、複数の差動対回路11A~14Aが差動増幅器に相当し、インダクタ11L~14Lが第1の伝送回路の複数の誘導性要素に相当し、インダクタ21L~24Lが第2の伝送回路の複数の誘導性要素に相当し、インダクタ31L~34Lが第3の伝送回路の複数の誘導性要素に相当し、インダクタ41L~44Lが第4の伝送回路の複数の誘導性要素に相当する。

【0231】

また、FET1aが第1のトランジスタに相当し、FET2aが第2のトランジスタに相当し、FET11が第1の可変インピーダンス素子に相当し、FET12が第2の可変インピーダンス素子に相当し、抵抗13または定電流源130が抵抗要素に相当する。さらに、接地電位が基準電位に相当する。

【0232】

(第9の実施の形態)

第9の実施の形態に係る差動分布型増幅器の全体の構成は、図22に示した構成と同様である。第9の実施の形態に係る差動分布型増幅器が第8の実施の形態に係る差動分布型増幅器と異なるのは、差動対回路11A~14Aの構成である。

【0233】

図26は第9の実施の形態に係る差動分布型増幅器における差動対回路11Aの構成の一例を示す回路図である。なお、差動対回路12A~14Aの構成は、差動対回路11Aの構成と同様である。

【0234】

図26の差動対回路11Aが図23の差動対回路11Aと異なるのは、ノードN1と接地端子NG3との間に抵抗5が接続され、ノードN2と接地端子NG4との間に抵抗6が接続されている点である。

【0235】

図27は第9の実施の形態に係る差動分布型増幅器における1段の差動増幅部AM1の構成を示す回路図である。

【0236】

図27の差動増幅部AM1は、図26の差動対回路11Aおよび図22のインダクタ31L, 41Lを含む。

【0237】

入力端子NI1, NI2にはそれぞれ図22の入力信号IN(+), IN(-)に基づく入力信号RFin(+), RFin(-)が与えられる。出力端子NO1, NO2からそれぞれ出力信号RFout(-), RFout(+)が導出される。FET11, 12

および抵抗 13, 15, 16 が可変インピーダンス回路を構成する。

【0238】

図 27 の差動増幅部 AM1 の動作は、図 6 の可変利得型差動増幅器の動作と同様である。すなわち、差動増幅部 AM1 の接地インピーダンスを可変インピーダンス回路の通過特性により変化させることができる。可変インピーダンス回路のインピーダンスを高くした場合には、差動増幅部 AM1 の利得が減衰し、可変インピーダンス回路のインピーダンスを低くした場合には、差動増幅部 AM1 の利得が増加する。

【0239】

図 27 の差動増幅部 AM1 においては、高利得時に動作電流が増加し、低利得時（減衰時）に動作電流が減少する。それにより、高利得時の入出力特性の飽和が改善される。その結果、入出力特性の線形性が高くなり、歪み特性が改善される。

【0240】

なお、図 22 における差動増幅部 AM2～AM4 の構成および動作は、図 27 の差動増幅部 AM1 の構成および動作と同様である。

【0241】

抵抗 5, 6, 13 の抵抗値は例えば 100Ω である。他の素子の値は、第 8 の実施の形態と同様である。なお、抵抗 5, 6, 13 の抵抗値が異なってもよい。利得制御のために制御端子 NG に印加される制御電圧 AGC を 1.8V～0V の範囲内で連続的に変化させると、差動分布型増幅器は制御電圧 AGC が 1.8V のときに最大利得を示し、制御電圧 AGC が 0V のときに最小利得を示す。この場合、制御電圧 AGC が高くなるに従って差動増幅部 AM1～AM4（差動対回路 11A～14A）の動作電流が約 1.5 倍まで増大する。それにより、差動分布型増幅器の歪み特性が改善される。

【0242】

図 28 は第 9 の実施の形態に係る差動分布型増幅器における差動対回路 11A の構成の他の例を示す回路図である。なお、差動対回路 12A～14A の構成は、差動対回路 11A の構成と同様である。

【0243】

図 28 の差動対回路 11A が図 27 の差動対回路 11A と異なるのは、抵抗 5, 6 の代わりに定電流源 130a, 130b が設けられている点である。定電流源 130a は、ノード N1 と接地端子 NG11, NG12 との間に接続され、定電流源 130b は、ノード N2 と接地端子 NG13, NG14 との間に接続されている。定電流源 130a, 130b の構成は、図 25 に示した定電流源 130 の構成と同様である。

【0244】

図 28 の差動対回路 11A を用いた場合には、動作電流を安定化させることができる。

【0245】

さらに、図 28 の差動対回路 11A において、抵抗 13 の代わりに図 25 のように定電流源 130 を設けてもよい。この場合には、定電流源 130 には一定の動作電流が流れる。

【0246】

本実施の形態に係る差動分布型増幅器においては、差動対回路 11A～14A の FET 1a, 2a のゲート・ソース間容量とインダクタ 11L～14L, 21L～24L とにより入力側の擬似伝送線路が構成され、差動対回路 11A～14A の FET 1a, 2a のドレイン・ソース間容量とインダクタ 31L～34L, 41L～44L とにより出力側の擬似伝送線路が構成される。それにより、広帯域にわたって入出力インピーダンス整合を得ることができる。

【0247】

また、本実施の形態に係る差動分布型増幅器は、複数段の差動増幅部 AM1～AM4 により構成されるので、広帯域にわたって利得を連続的に変化させることができる。

【0248】

本実施の形態では、複数の差動対回路 11A～14A が差動増幅器に相当し、インダク

タ 1 1 L ~ 1 4 L が第 1 の伝送回路の複数の誘導性要素に相当し、インダクタ 2 1 L ~ 2 4 L が第 2 の伝送回路の複数の誘導性要素に相当し、インダクタ 3 1 L ~ 3 4 L が第 3 の伝送回路の複数の誘導性要素に相当し、インダクタ 4 1 L ~ 4 4 L が第 4 の伝送回路の複数の誘導性要素に相当する。

【0249】

また、FET 1 a が第 1 のトランジスタに相当し、FET 2 a が第 2 のトランジスタに相当し、FET 1 1 が第 1 の可変インピーダンス素子に相当し、FET 1 2 が第 2 の可変インピーダンス素子に相当し、抵抗 1 3 または定電流源 1 3 0 が抵抗要素に相当する。また、抵抗 5, 6 または定電流源 1 3 0 a, 1 3 0 b が第 1 および第 2 のインピーダンス素子に相当する。さらに、接地電位が基準電位に相当する。

【0250】

(第 10 の実施の形態)

図 29 は第 10 の実施の形態に係る差動分布型増幅器の構成を示す回路図である。

【0251】

図 29 の差動分布型増幅器が図 22 の差動分布型増幅器と異なるのは、次の点である。図 22 の差動対回路 1 1 A ~ 1 4 A の代わりに差動対回路 1 1 C ~ 1 4 C が設けられている。

【0252】

差動対回路 1 1 C ~ 1 4 C の各々は、後述するようにカスコード接続された複数の FET を含み、入力端子 NI 1, NI 2、出力端子 NO 1, NO 2 および接地端子 NG 0 に加えてバイアス端子 NB 1, NB 2 を有する。差動対回路 1 1 C ~ 1 4 C のバイアス端子 NB 1, NB 2 はバイアス端子 NB 3 0, NB 4 0 にそれぞれ接続されている。バイアス端子 NB 3 0, NB 4 0 にはそれぞれバイアス電圧 VB 3, VB 4 が与えられる。

【0253】

図 30 は第 10 の実施の形態に係る差動分布型増幅器における差動対回路 1 1 C の構成の一例を示す回路図である。なお、差動対回路 1 2 C ~ 1 4 C の構成は、差動対回路 1 1 C の構成と同様である。

【0254】

図 30 の差動対回路 1 1 C が図 23 の差動対回路 1 1 A と異なるのは、n-MOSFET (以下、FET と略記する) 1 b, 2 b をさらに含む点である。FET 1 b は出力端子 NO 1 と FET 1 a のドレインとの間に直接に接続され、FET 2 b は出力端子 NO 2 と FET 2 a のドレインとの間に接続されている。FET 1 b, 2 b のゲートは抵抗 R 1 7, R 1 8 を介してバイアス端子 NB 1, NB 2 にそれぞれ接続されている。

【0255】

本実施の形態では、FET 1 a, 1 b, 2 a, 2 b のサイズは同じである。他の素子の値は、第 8 の実施の形態と同様である。利得制御のために制御端子 NG に印加される制御電圧 AGC を 1.8 V ~ 0 V の範囲内で連続的に変化させると、差動分布型増幅器は制御電圧 AGC が 1.8 V のときに最大利得を示し、制御電圧 AGC が 0 V のときに最小利得を示す。

【0256】

図 31 は第 10 の実施の形態に係る差動分布型増幅器における差動対回路 1 1 C の構成の他の例を示す回路図である。なお、差動対回路 1 2 C ~ 1 4 C の構成は、差動対回路 1 1 C の構成と同様である。

【0257】

図 31 の差動対回路 1 1 C が図 30 の差動対回路 1 1 C と異なるのは、抵抗 1 3 の代わりに定電流源 1 3 0 が設けられている点である。定電流源 1 3 0 の構成は、図 25 に示した構成と同様である。

【0258】

図 31 の差動対回路 1 1 C を用いた場合には、動作電流を安定化させることができる。

【0259】

本実施の形態に係る差動分布型増幅器においては、差動対回路 11C~14C の FET 1a, 2a のゲート・ソース間容量とインダクタ 11L~14L, 21L~24L とにより入力側の擬似伝送線路が構成され、差動対回路 11C~14C の FET 1a, 2a のドレイン・ソース間容量とインダクタ 31L~34L, 41L~44L とにより出力側の擬似伝送線路が構成される。それにより、広帯域にわたって入出力インピーダンス整合を得ることができる。

【0260】

また、本実施の形態に係る差動分布型増幅器は、複数段の差動増幅部 AM1~AM4 により構成されるので、広帯域にわたって利得を連続的に変化させることができる。

【0261】

さらに、複数段の差動増幅部 AM1~AM4 がカスコード接続された FET 1a, 1b, 2a, 2b を含むので、差動分布型増幅器の周波数特性が向上する。

【0262】

本実施の形態では、複数の差動対回路 11C~14C が差動増幅器に相当し、インダクタ 11L~14L が第 1 の伝送回路の複数の誘導性要素に相当し、インダクタ 21L~24L が第 2 の伝送回路の複数の誘導性要素に相当し、インダクタ 31L~34L が第 3 の伝送回路の複数の誘導性要素に相当し、インダクタ 41L~44L が第 4 の伝送回路の複数の誘導性要素に相当する。

【0263】

また、FET 1a が第 1 のトランジスタに相当し、FET 2a が第 2 のトランジスタに相当し、FET 1b が第 3 のトランジスタに相当し、FET 2b が第 4 のトランジスタに相当し、FET 11 が第 1 の可変インピーダンス素子に相当し、FET 12 が第 2 の可変インピーダンス素子に相当し、抵抗 13 または定電流源 130 が抵抗要素に相当する。さらに、接地電位が基準電位に相当する。

【0264】

(第 11 の実施の形態)

第 11 の実施の形態に係る差動分布型増幅器の全体の構成は、図 29 に示した構成と同様である。第 11 の実施の形態に係る差動分布型増幅器が第 10 の実施の形態に係る差動分布型増幅器と異なるのは、差動対回路 11C~14C の構成である。

【0265】

図 32 は第 11 の実施の形態に係る差動分布型増幅器における差動対回路 11C の構成の一例を示す回路図である。なお、差動対回路 12C~14C の構成は、差動対回路 11C の構成と同様である。

【0266】

図 32 の差動対回路 11C が図 30 の差動対回路 11C と異なるのは、ノード N1 と接地端子 NG3 との間に抵抗 5 が接続され、ノード N2 と接地端子 NG4 との間に抵抗 6 が接続されている点である。

【0267】

本実施の形態では、FET 1a, 1b, 2a, 2b のサイズは同じである。抵抗 5, 6, 13 の値は例えば 100Ω である。なお、抵抗 5, 6, 13 の抵抗値が異なってもよい。他の素子の値は、第 8 の実施の形態と同様である。利得制御のために制御端子 NG に印加される制御電圧 AGC を 1.8V~0V の範囲内で連続的に変化させると、差動分布型増幅器は制御電圧 AGC が 1.8V のときに最大利得を示し、制御電圧 AGC が 0V のときに最小利得を示す。この場合、制御電圧 AGC が高くなるに従って差動増幅部 AM1~AM4 (差動対回路 11C~14C) の動作電流が約 1.5 倍まで増大する。それにより、差動分布型増幅器の歪み特性が改善される。

【0268】

図 33 は第 11 の実施の形態に係る差動分布型増幅器における差動対回路 11C の構成の他の例を示す回路図である。なお、差動対回路 12C~14C の構成は、差動対回路 11C の構成と同様である。

【0269】

図33の差動対回路11Cが図32の差動対回路11Cと異なるのは、抵抗5, 6の代わりに定電流源130a, 130bが設けられている点である。定電流源130aは、ノードN1と接地端子NG11, NG12との間に接続され、定電流源130bは、ノードN2と接地端子NG13, NG14との間に接続されている。定電流源130a, 130bの構成は、図25に示した定電流源130の構成と同様である。

【0270】

図33の差動対回路11Cを用いた場合には、動作電流を安定化させることができる。

【0271】

さらに、図33の差動対回路11Aにおいて、抵抗13の代わりに図25のように定電流源130を設けてもよい。この場合には、定電流源130に一定の動作電流が流れる。

【0272】

本実施の形態に係る差動分布型増幅器においては、差動対回路11C~14CのFET1a, 2aのゲート・ソース間容量とインダクタ11L~14L, 21L~24Lとにより入力側の擬似伝送線路が構成され、差動対回路11C~14CのFET1a, 1b, 2a, 2bのドレイン・ソース間容量とインダクタ31L~34L, 41L~44Lとにより出力側の擬似伝送線路が構成される。それにより、広帯域にわたって入出力インピーダンス整合を得ることができる。

【0273】

また、本実施の形態に係る差動分布型増幅器は、複数段の差動増幅部AM1~AM4により構成されるので、広帯域にわたって利得を連続的に変化させることができる。

【0274】

本実施の形態では、複数の差動対回路11C~14Cが差動増幅器に相当し、インダクタ11L~14Lが第1の伝送回路の複数の誘導性要素に相当し、インダクタ21L~24Lが第2の伝送回路の複数の誘導性要素に相当し、インダクタ31L~34Lが第3の伝送回路の複数の誘導性要素に相当し、インダクタ41L~44Lが第4の伝送回路の複数の誘導性要素に相当する。

【0275】

また、FET1aが第1のトランジスタに相当し、FET2aが第2のトランジスタに相当し、FET1bが第3のトランジスタに相当し、FET2bが第4のトランジスタに相当し、FET11が第1の変インピーダンス素子に相当し、FET12が第2の変インピーダンス素子に相当し、抵抗13または定電流源130が抵抗要素に相当する。また、抵抗5, 6または定電流源130a, 130bが第1および第2のインピーダンス素子に相当する。さらに、接地電位が基準電位に相当する。

【0276】

(評価)

図34は第8の実施の形態に係る差動分布型増幅器の特性の計算結果を示す図である。図34の横軸は周波数を示し、縦軸はSパラメータの値を示す。

【0277】

図34において、黒の丸印はS21(利得)の最大値を示し、黒の四角印はS21(利得)の最小値を示し、白の丸印は利得最大時のS11(入力側反射係数)を示し、白の四角印は利得最小時のS11(入力側反射係数)を示す。

【0278】

図34に示すように、第8の実施の形態に係る差動分布型増幅器では、制御電圧AGCの1.8V~0.7Vの電圧範囲で3GHz~10GHzの広帯域にわたって10dB~8dBの変利得範囲が得られている。また、広帯域にわたって入力反射係数の絶対値が6dBよりも大きくなっている。

【0279】

(他の変形例)

なお、上記第8~第11の実施の形態において、誘導性要素としてマイクロストリップ

線路、コプレーナ線路等の伝送線路または誘導成分を有する他の誘導性素子を用いてもよい。

【0280】

また、上記第8～第11の実施の形態において、第1および第2のトランジスタは、Si（シリコン）からなるn-MOSFETに限らず、p-MOSFETを用いてもよく、SiGe（シリコンゲルマニウム）、GaAs（ガリウム砒素）等の他の半導体材料からなるMOSFET、MESFET（半導体金属電界効果トランジスタ）、HEMT（高電子移動度トランジスタ）、バイポーラトランジスタ等の他のトランジスタを用いてもよい。

【0281】

また、上記第10～第11の実施の形態において、第3および第4のトランジスタは、Siからなるn-MOSFETに限らず、p-MOSFETを用いてもよく、SiGe、GaAs等の他の半導体材料からなるMOSFET、MESFET、HEMT、バイポーラトランジスタ等の他のトランジスタを用いてもよい。

【0282】

さらに、上記第8～第11の実施の形態において、第1および第2の可変インピーダンス素子は、Siからなるn-MOSFETに限らず、p-MOSFETを用いてもよく、SiGe、GaAs等の他の半導体材料からなるMOSFET、MESFET、HEMT、バイポーラトランジスタ等の他のトランジスタを用いてもよく、あるいは制御電圧に応じて変化するインピーダンスを有する他の可変インピーダンス素子を用いてもよい。

【0283】

また、上記第8～第11の実施の形態において、抵抗要素として抵抗成分を有する他の素子を用いてもよく、あるいは抵抗成分を有する複数の素子を組み合わせた回路を用いてもよい。

【0284】

また、上記第9および第11の実施の形態において、第1および第2のインピーダンス素子として他の抵抗素子、容量性素子（例えばキャパシタ）、誘導性素子（例えばインダクタまたは変圧器）、トランジスタ（MOSFET、MESFET、HEMTまたはバイポーラトランジスタ）等の他の素子、あるいはこれらの素子を組み合わせた回路を用いてもよい。

【産業上の利用可能性】

【0285】

本発明に係る可変インピーダンス回路、可変利得型差動増幅器、乗算器、高周波回路および差動分布型増幅器は、種々の電子回路、電子機器等に利用することができる。

【図面の簡単な説明】

【0286】

【図1】本発明の第1の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【図2】図1の可変利得型差動増幅器の動作を示す図である。

【図3】本発明の第2の実施の形態におけるギルバート型乗算器の構成を示す回路図である。

【図4】図3のギルバート型乗算器における歪み特性の可変インピーダンス回路の抵抗値依存性の計算結果を示す図である。

【図5】図1の可変利得型差動増幅器および図3のギルバート型乗算器に用いられる可変抵抗回路の回路図である。

【図6】本発明の第3の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【図7】図6の可変利得型差動増幅器のトランジスタ、抵抗および模式化された可変抵抗回路を示す図である。

【図8】図6の可変利得型差動増幅器における動作電流の制御電圧依存性の計算結果

を示す図である。

【図 9】実施例として図 6 の可変利得型差動増幅器における入出力特性の計算結果および比較例として図 35 の可変利得型差動増幅器における入出力特性の計算結果を示す図である。

【図 10】本発明の第 4 の実施の形態における可変利得型差動増幅器の構成を示す回路図である。

【図 11】本発明の第 5 の実施の形態におけるギルバート型乗算器の構成を示す回路図である。

【図 12】本発明の第 6 の実施の形態におけるギルバート型乗算器の構成を示す回路図である。

【図 13】図 6 および図 10 の可変利得型差動増幅器ならびに図 11 および図 12 のギルバート型乗算器に用いられる可変抵抗回路の回路図である。

【図 14】第 7 の実施の形態における差動入出力高周波回路の構成を示す図である。

【図 15】図 14 の差動入出力高周波回路の可変利得型増幅器および可変利得型乗算器の具体的な回路構成を示す回路図である。

【図 16】図 15 の可変利得型増幅器および可変利得型乗算器の第 1 の具体例を示す回路図である。

【図 17】図 15 の可変利得型増幅器および可変利得型乗算器の第 2 の具体例を示す回路図である。

【図 18】図 15 の可変利得型増幅器および可変利得型乗算器の第 3 の具体例を示す回路図である。

【図 19】図 15 の可変利得型増幅器および可変利得型乗算器の第 4 の具体例を示す回路図である。

【図 20】図 15 の可変利得型増幅器および可変利得型乗算器の第 5 の具体例を示す回路図である。

【図 21】図 15 の可変利得型増幅器および可変利得型乗算器の第 6 の具体例を示す回路図である。

【図 22】第 8 の実施の形態に係る差動分布型増幅器の構成を示す回路図である。

【図 23】第 8 の実施の形態に係る差動分布型増幅器における差動対回路 11A の構成の一例を示す回路図である。

【図 24】第 8 の実施の形態に係る差動分布型増幅器における 1 段の差動増幅部 AM1 の構成を示す回路図である。

【図 25】第 8 の実施の形態に係る差動分布型増幅器における差動対回路 11A の構成の他の例を示す回路図である。

【図 26】第 9 の実施の形態に係る差動分布型増幅器における差動対回路 11A の構成の一例を示す回路図である。

【図 27】第 9 の実施の形態に係る差動分布型増幅器における 1 段の差動増幅部 AM1 の構成を示す回路図である。

【図 28】第 9 の実施の形態に係る差動分布型増幅器における差動対回路 11A の構成の他の例を示す回路図である。

【図 29】第 10 の実施の形態に係る差動分布型増幅器の構成を示す回路図である。

【図 30】第 10 の実施の形態に係る差動分布型増幅器における差動対回路 11C の構成の一例を示す回路図である。

【図 31】第 10 の実施の形態に係る差動分布型増幅器における差動対回路 11C の構成の他の例を示す回路図である。

【図 32】第 11 の実施の形態に係る差動分布型増幅器における差動対回路 11C の構成の一例を示す回路図である。

【図 33】第 11 の実施の形態に係る差動分布型増幅器における差動対回路 11C の構成の他の例を示す回路図である。

【図 34】第 8 の実施の形態に係る差動分布型増幅器の特性の計算結果を示す図であ

る。

【図 35】OTA構成を有する従来の可変利得型差動増幅器の構成を示す回路図である。

【図 36】高周波受信機に用いられる従来の差動入出力高周波回路の構成を示す図である。

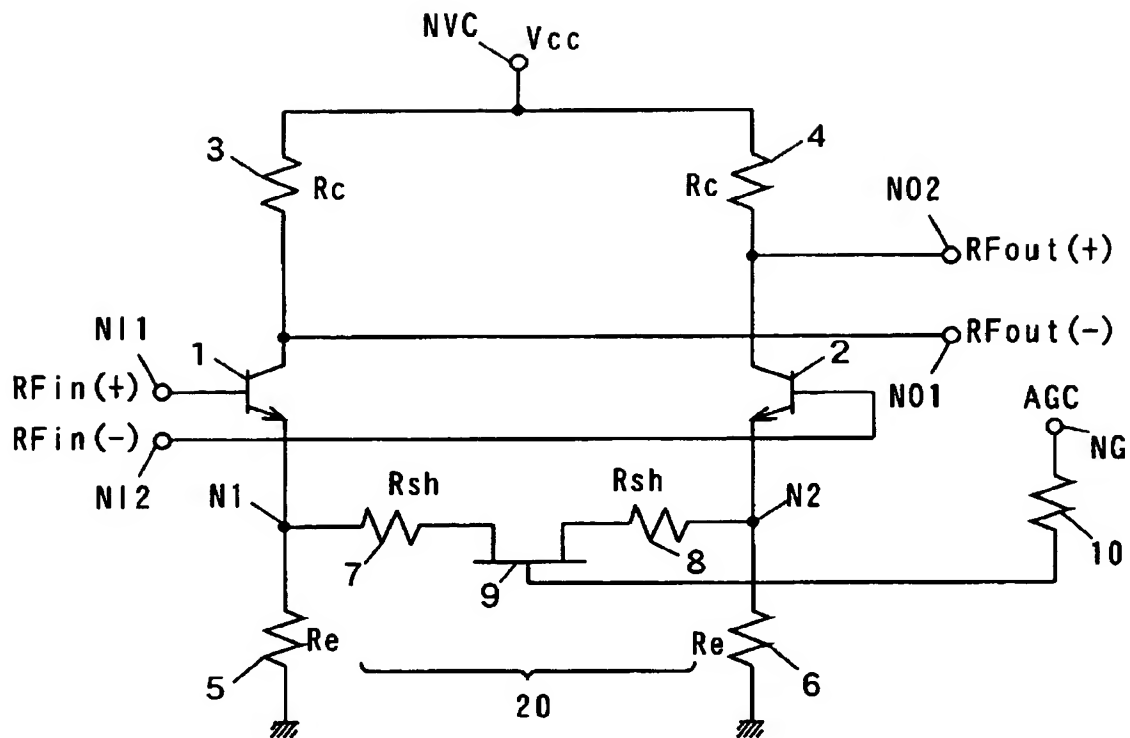
【図 37】従来の分布型増幅器の一例を示す回路図である。

【符号の説明】

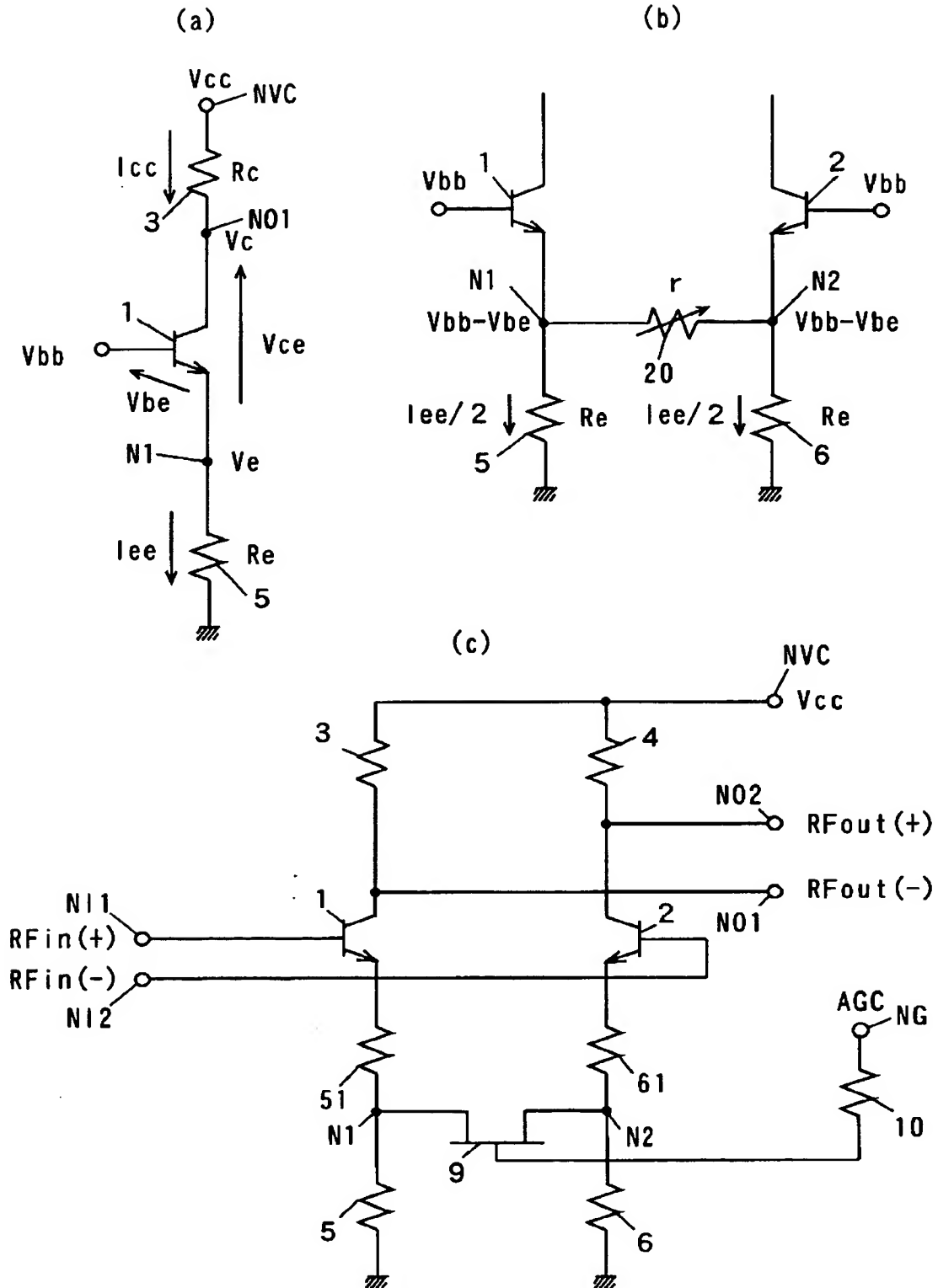
【0287】

1, 2, 31, 32, 33, 34 トランジスタ
 3, 4, 5, 6, 10, 13, 15, 16, 17, 21, 22, 23, 24, R17, R18, R11, R21, R31, R41 抵抗
 1a, 2a, 1b, 2b, 9, 11, 12, 31a, 32a, 33a, 34a FET
 C1, C2, C11, C12, C21, C22, C31, C32, C41, C42 コンデンサ
 20, 30, 40, 70, 800 可変抵抗回路
 510 可変利得型増幅器
 520 可変利得型乗算器
 530 中間周波帯増幅器
 N1, N2, N3, N11, N12, N13 ノード
 NI1, NI2, NI3, NI4, NI10, NI20 入力端子
 NO1, NO2, NO10, NO20 出力端子
 NG 制御端子
 NVC 電源端子
 NB10, NB20, NB30, NB40 バイアス端子
 RFin(+), RFin(-), LOin(+), LOin(-), IN(+), IN(-) 入力信号
 RFout(+), RFout(-), IFout(+), IFout(-), OUT(+), OUT(-) 出力信号
 Vcc 電源電圧
 AGC, AGC1, AGC2 制御電圧
 Vb, VB1, VB2, VB3, VB4 バイアス電圧
 11A~14L, 21L~24L, 31L~34L, 41L~44L インダクタ
 AM1~AM4 差動増幅部
 130, 130a, 130b 定電流源

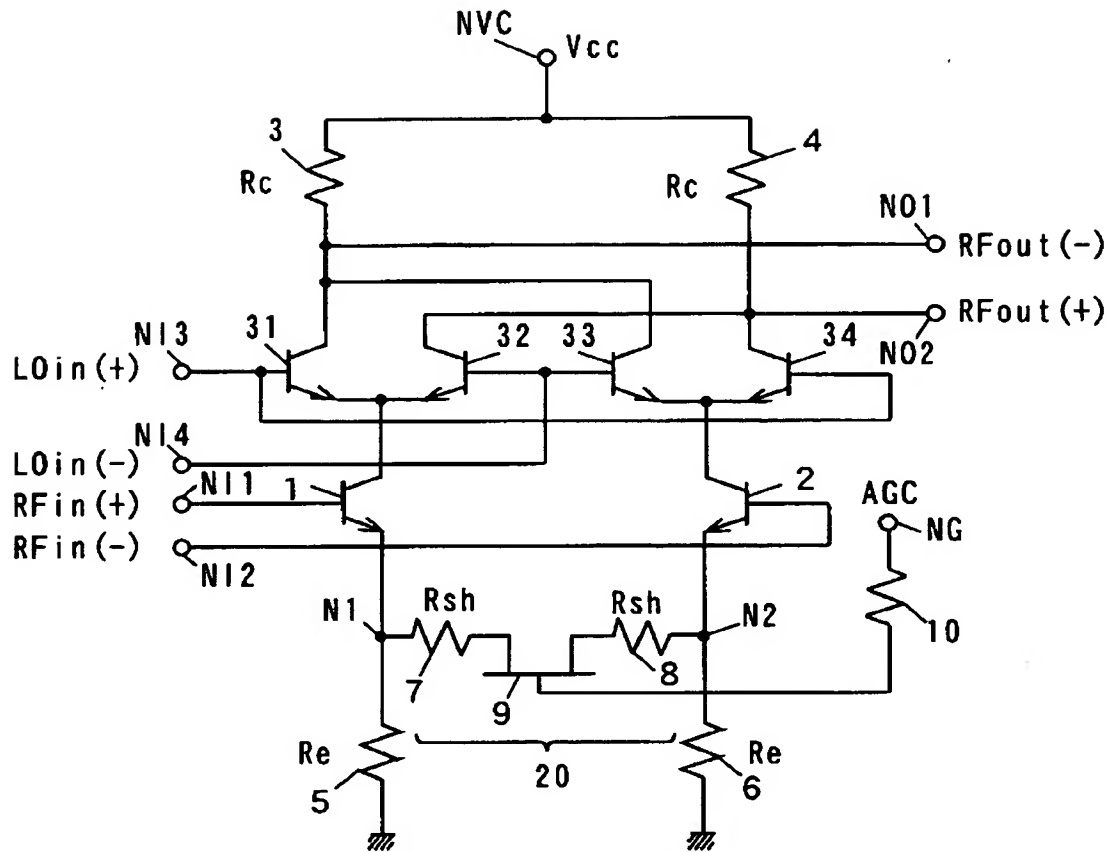
【書類名】 図面
【図 1】



【図 2】

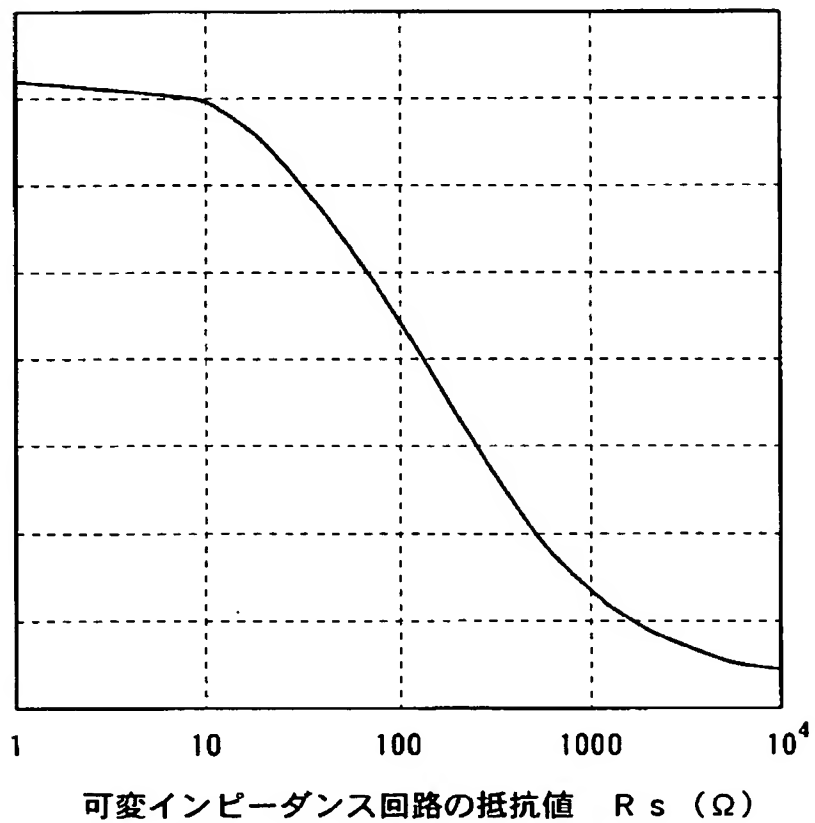


【図 3】

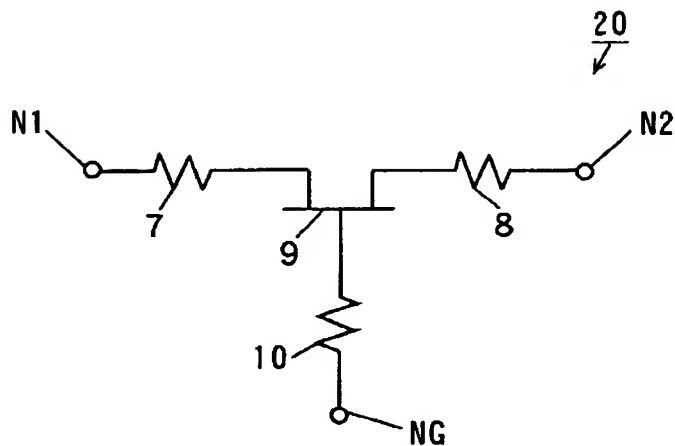


【図 4】

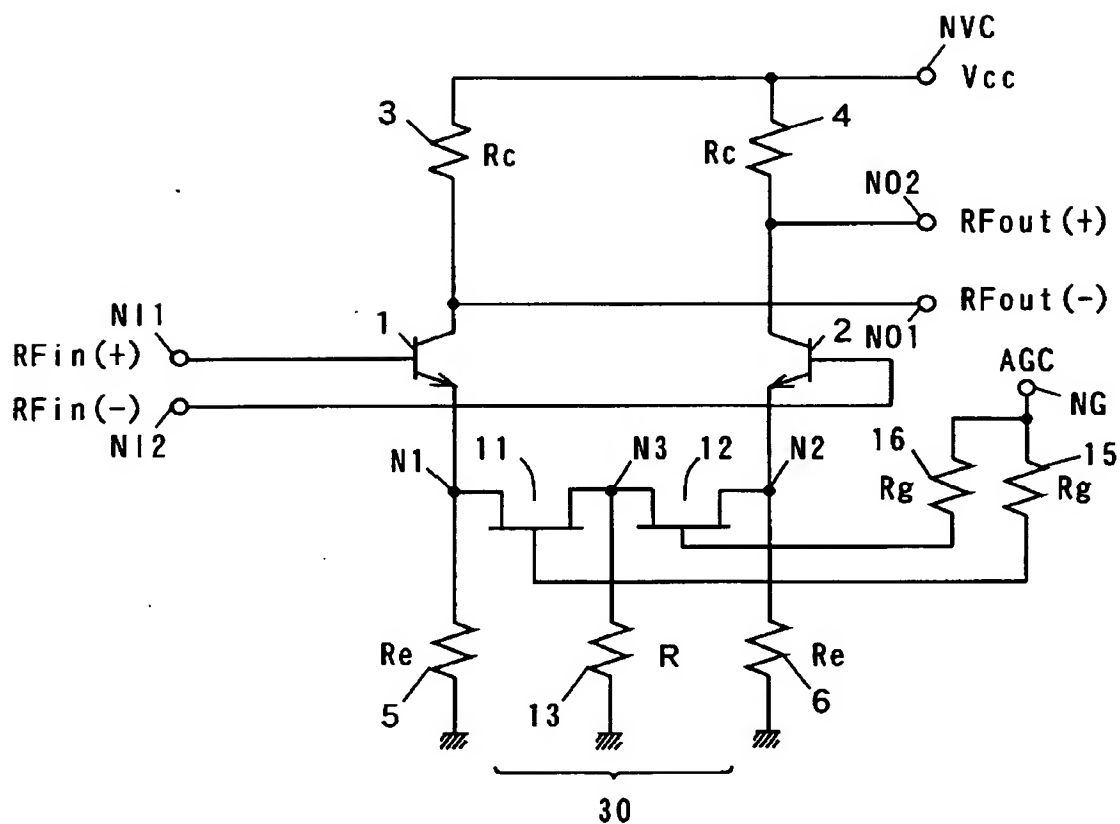
3次相互変調歪み



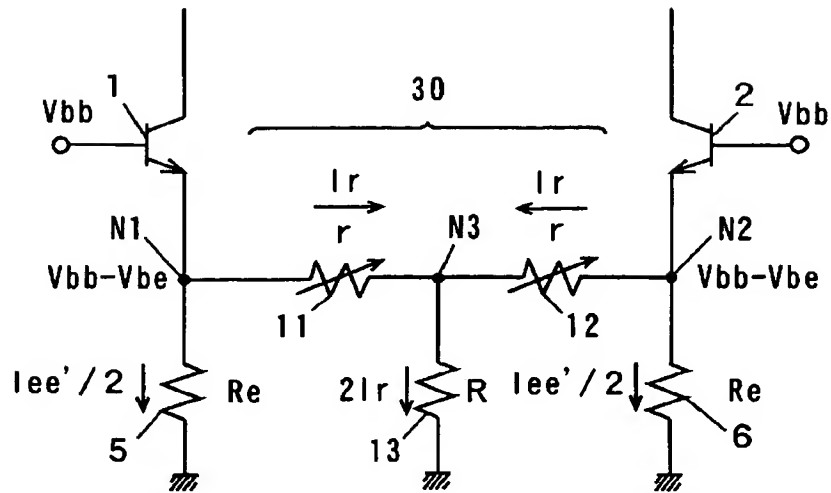
【図 5】



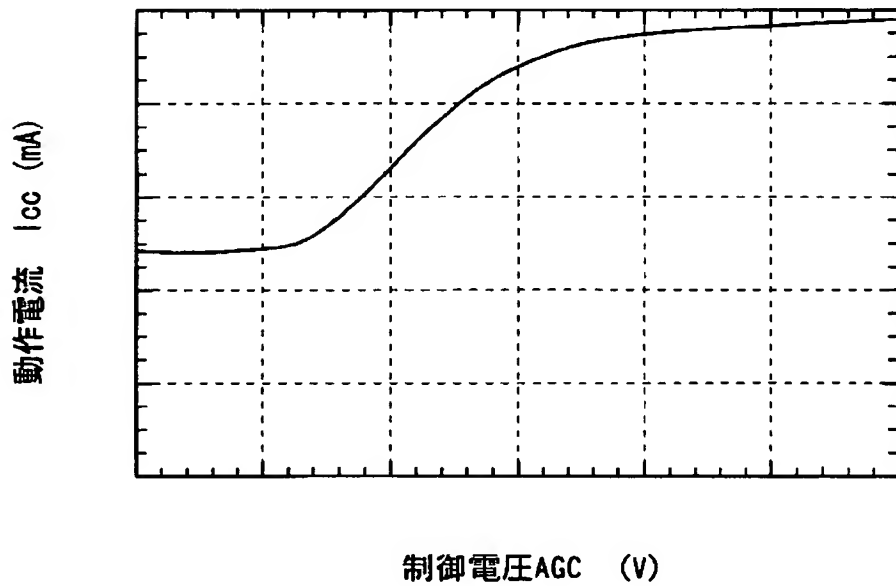
【図 6】



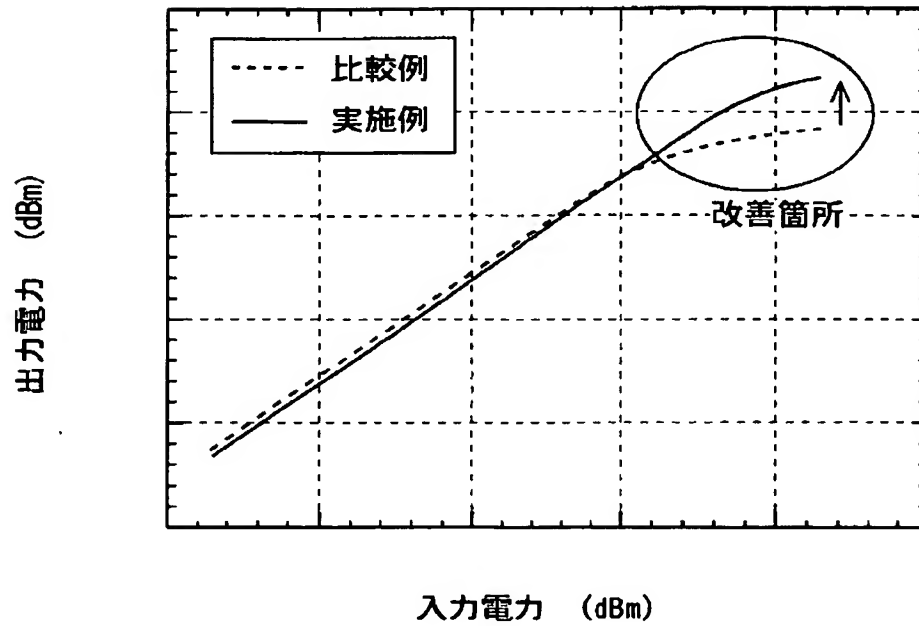
【図 7】



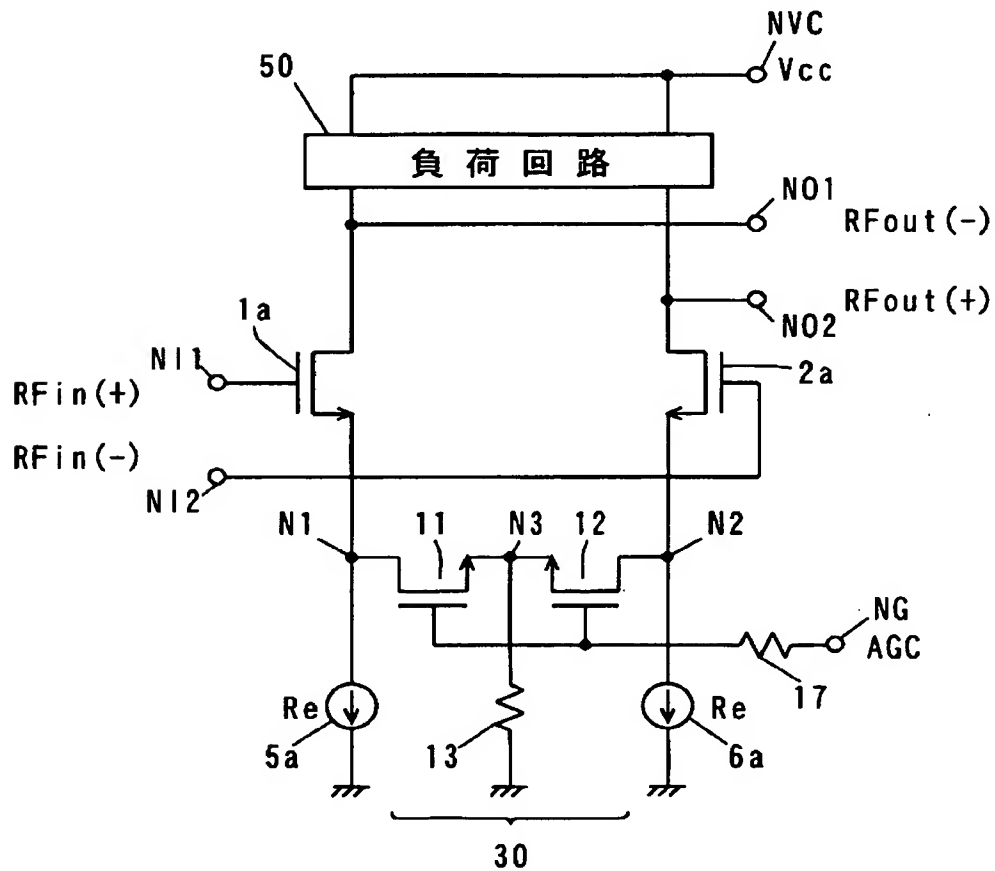
【図 8】



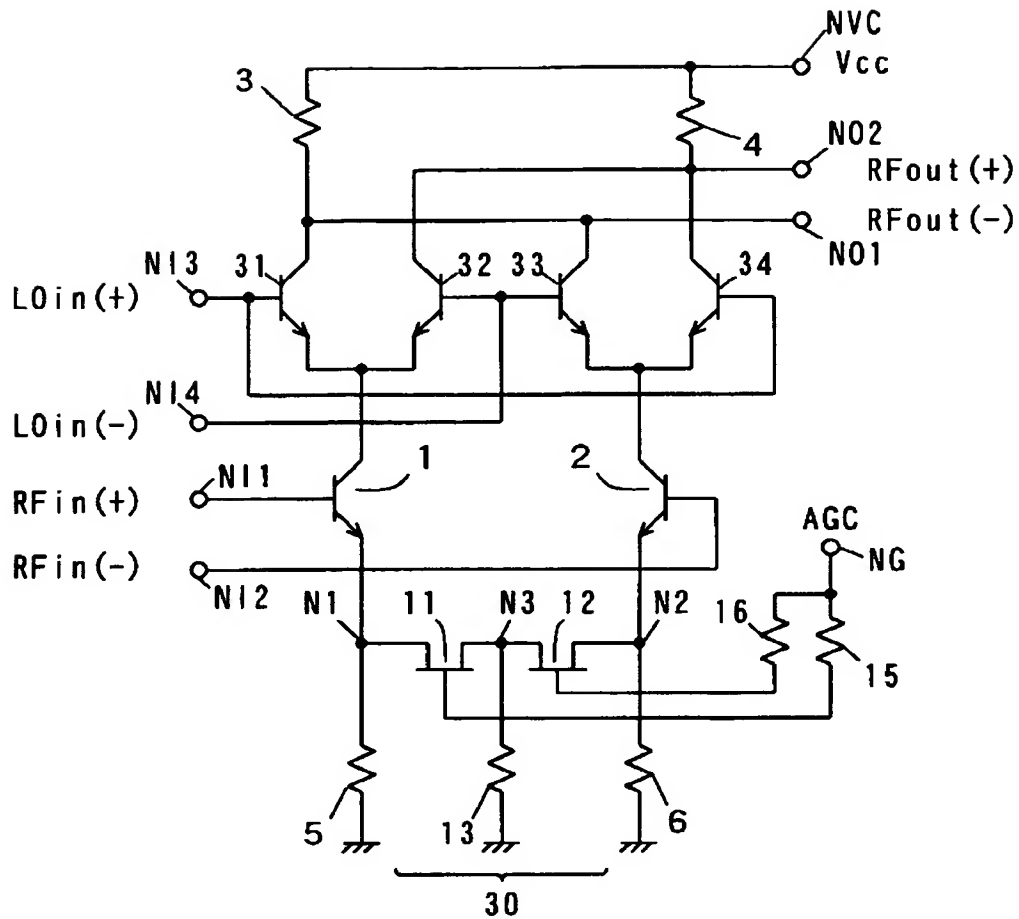
【図 9】



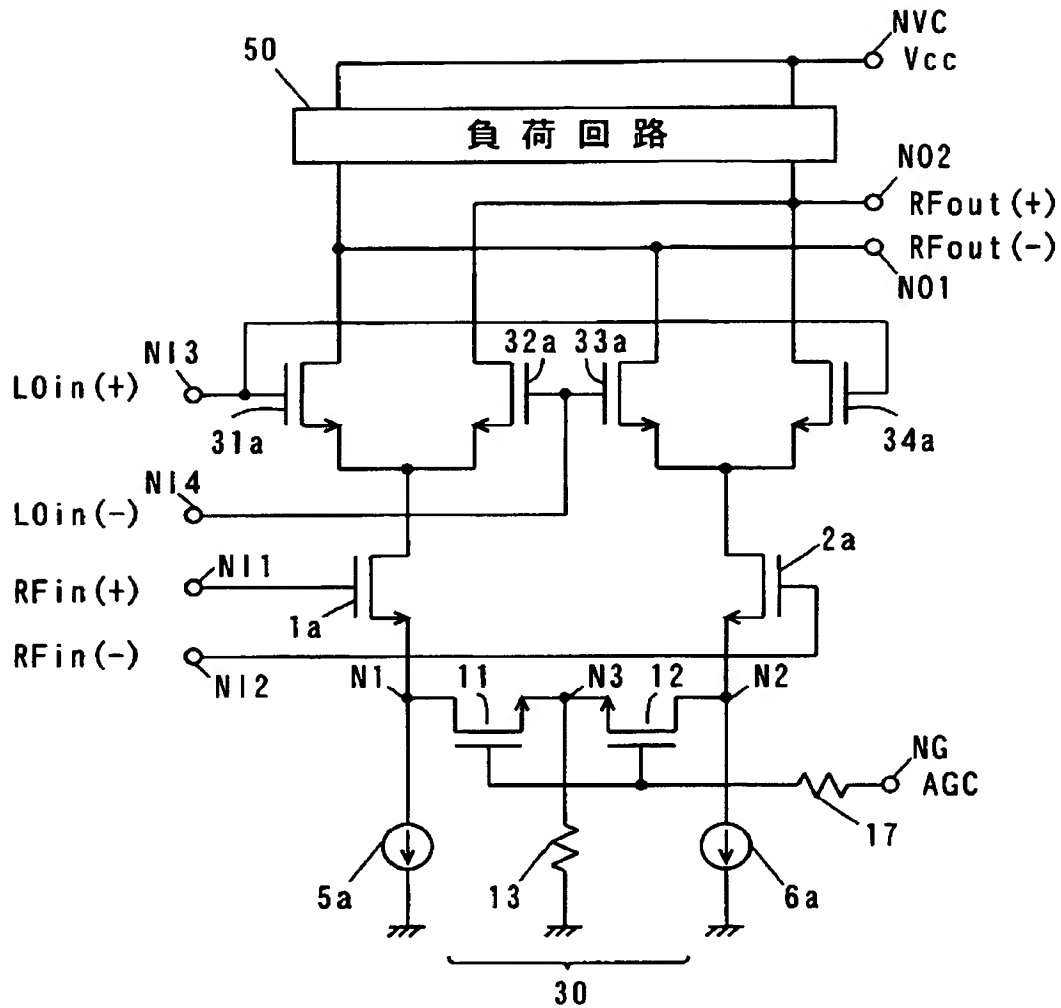
【図 10】



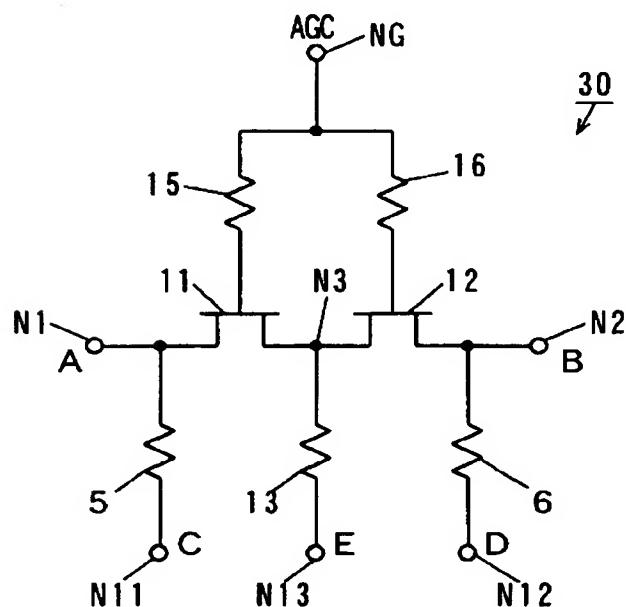
【図 11】



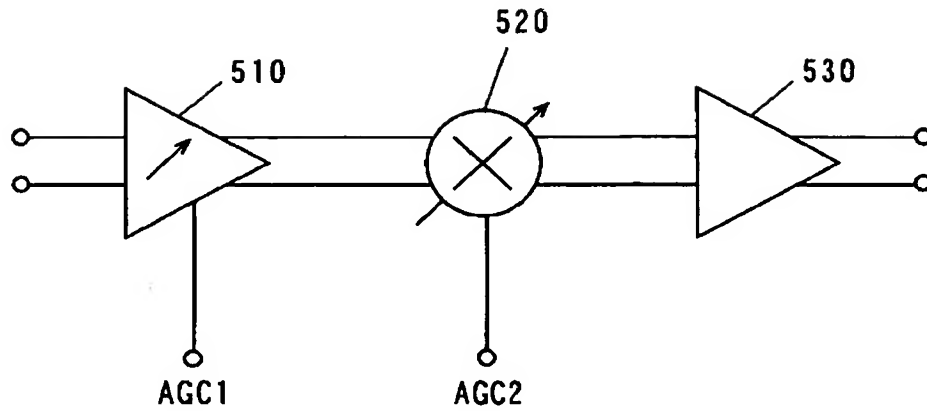
【図 12】



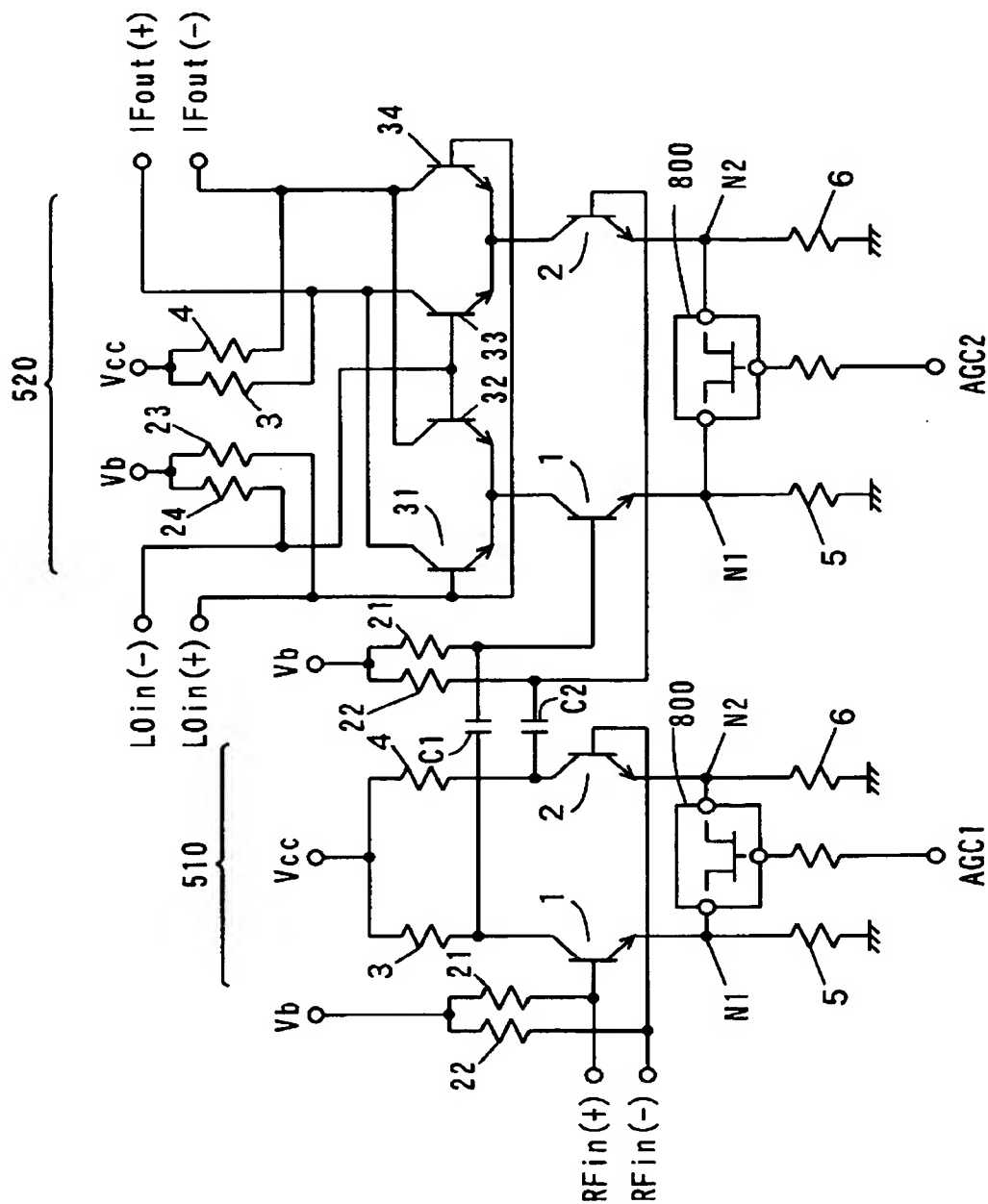
【図 13】



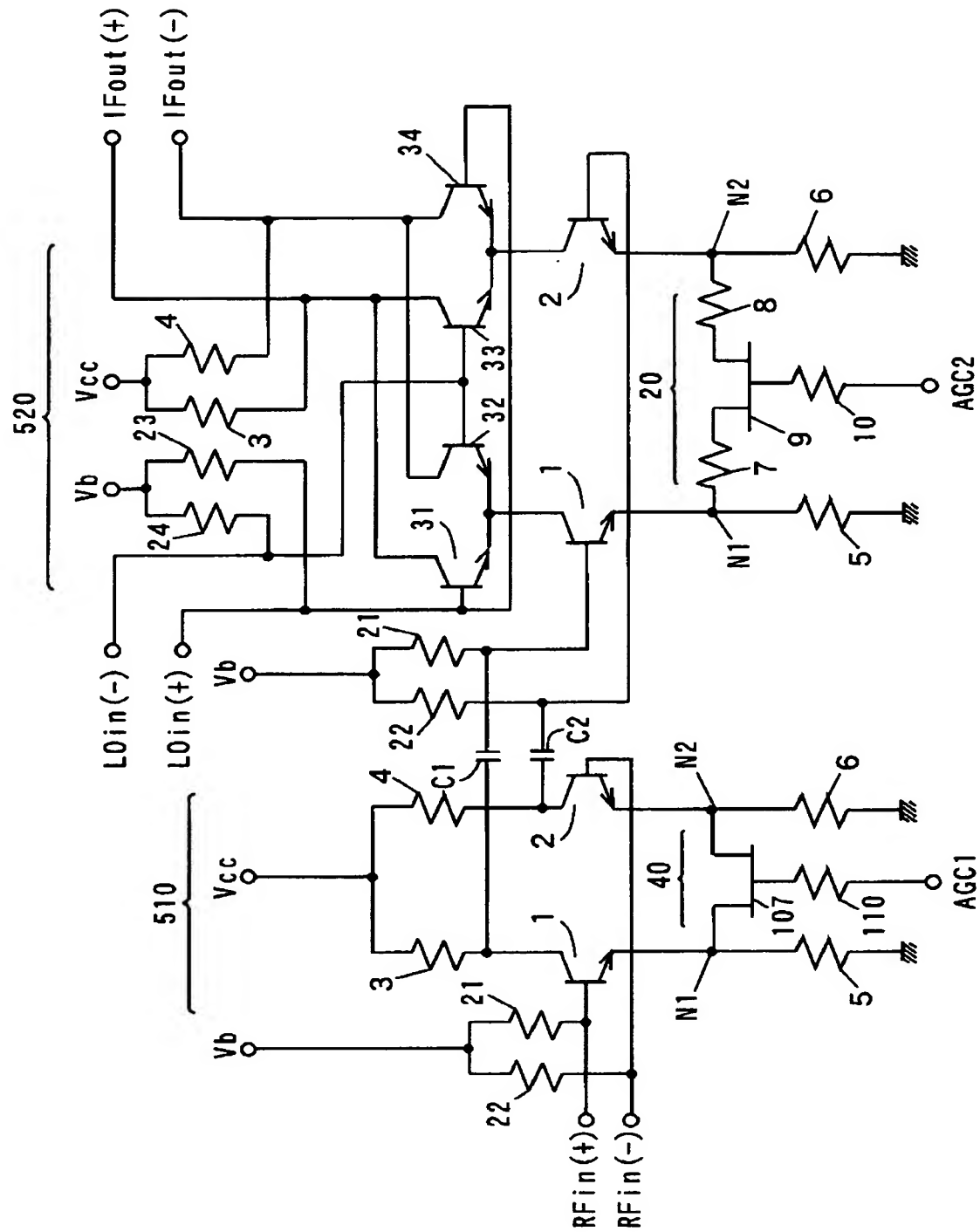
【図 14】



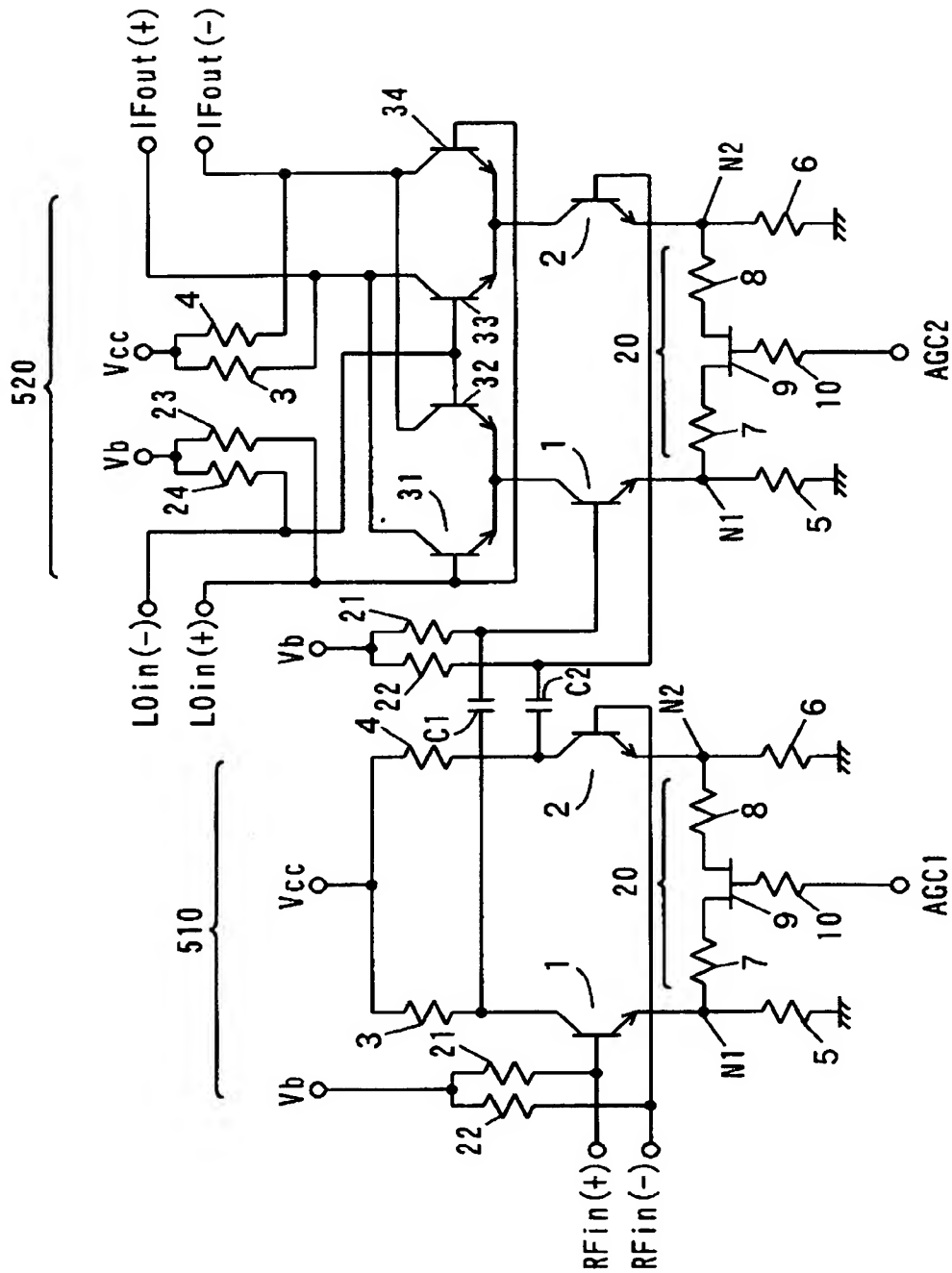
【図 15】



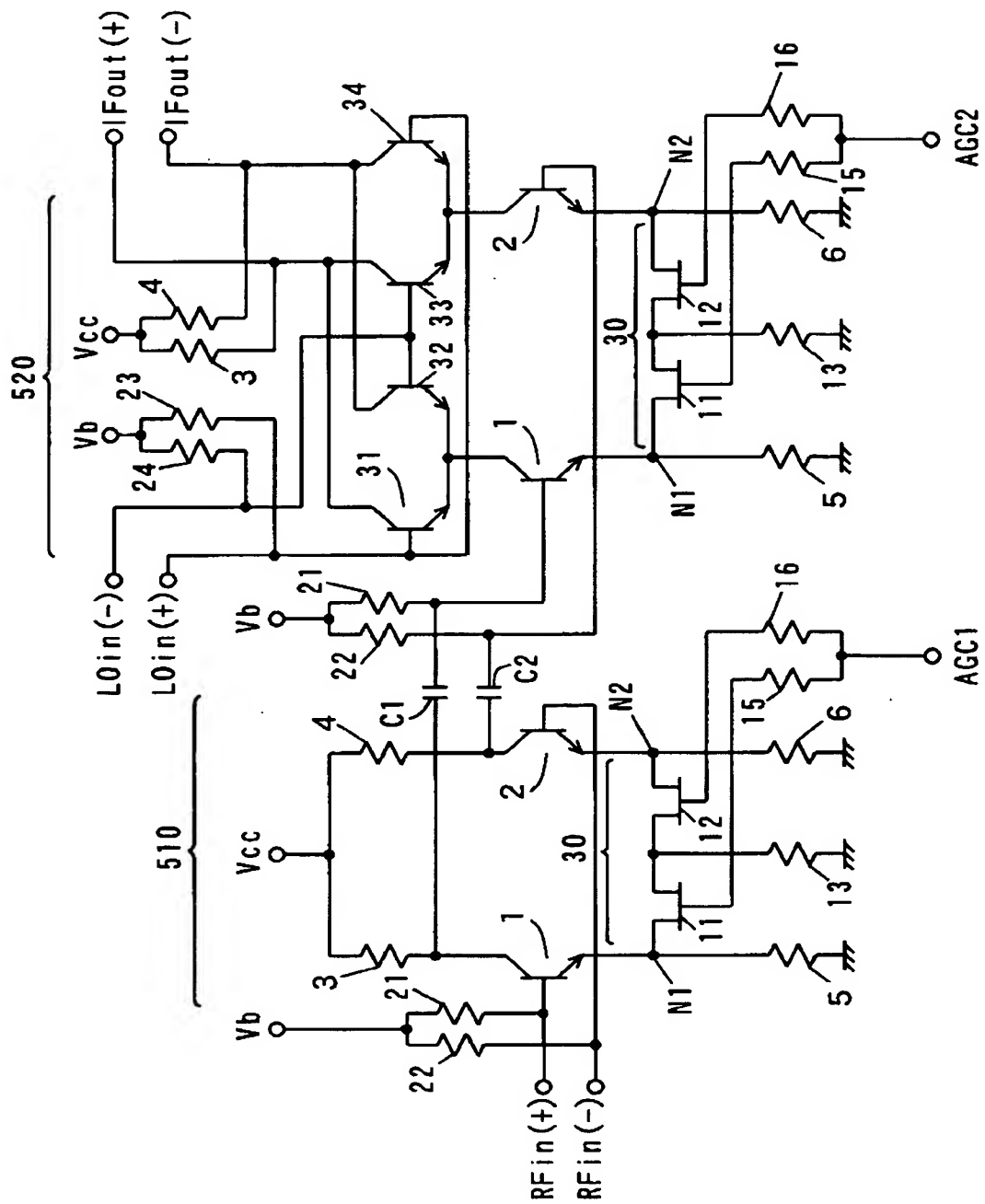
【図 16】



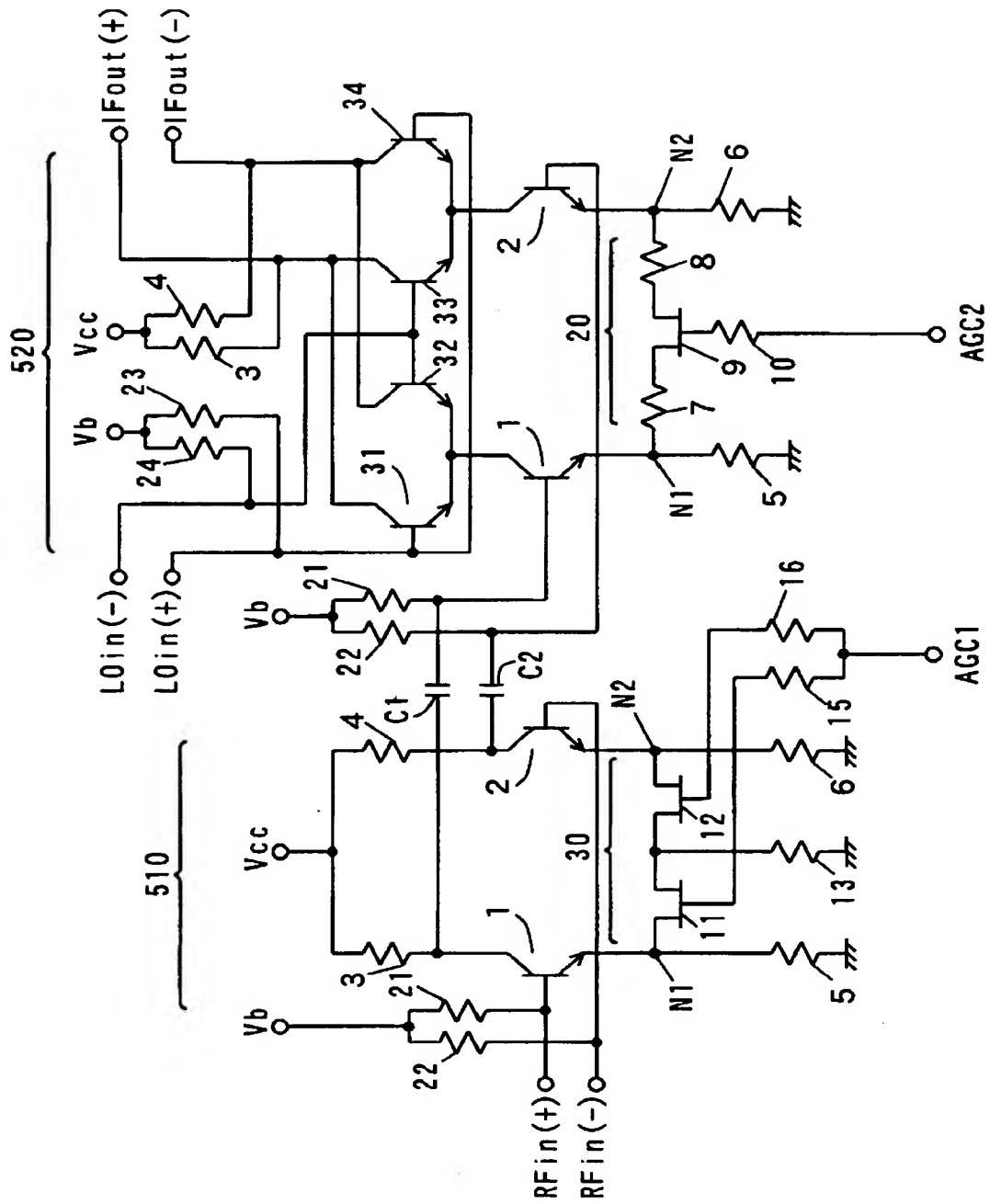
【図 17】



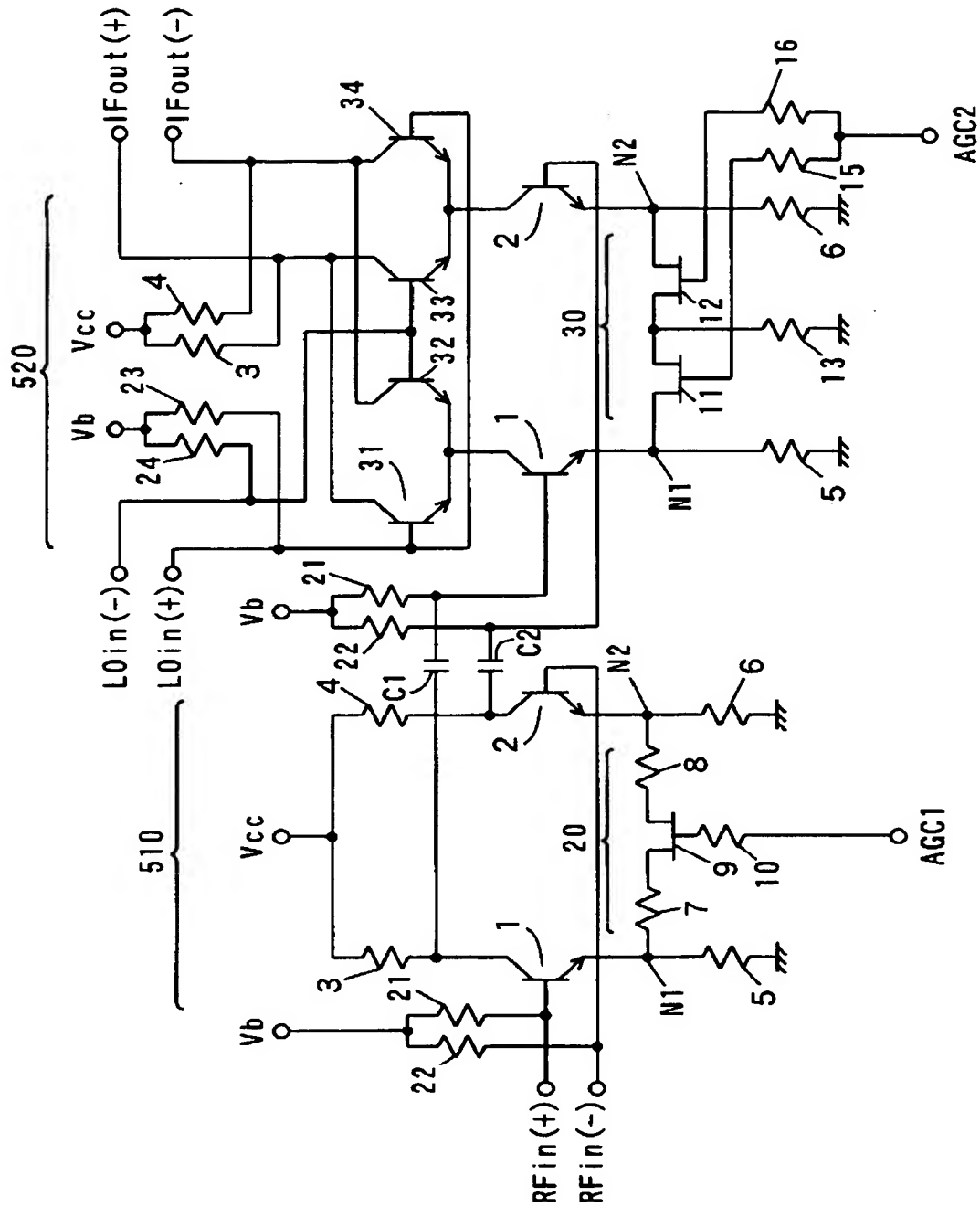
【図 18】



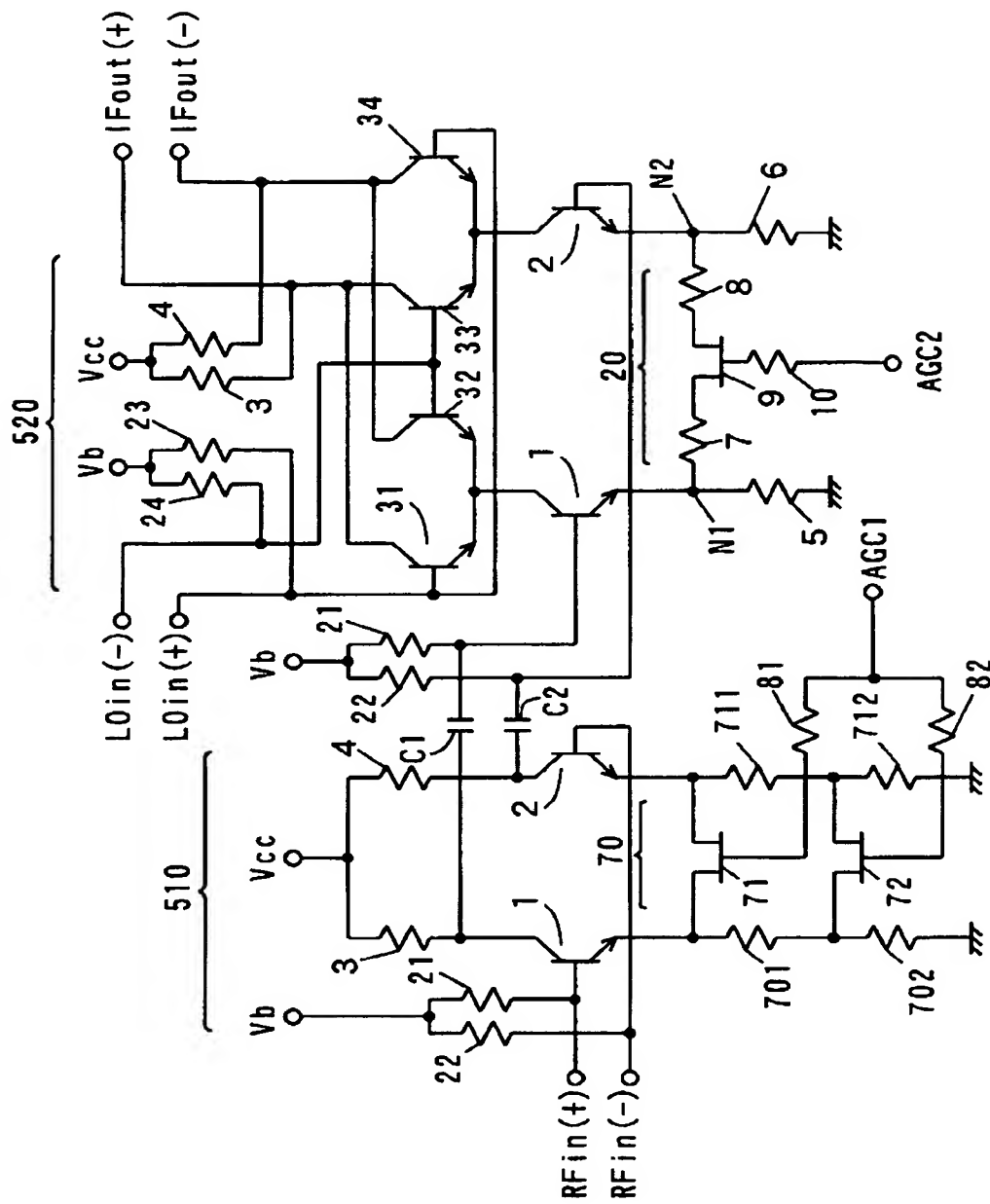
【図 19】



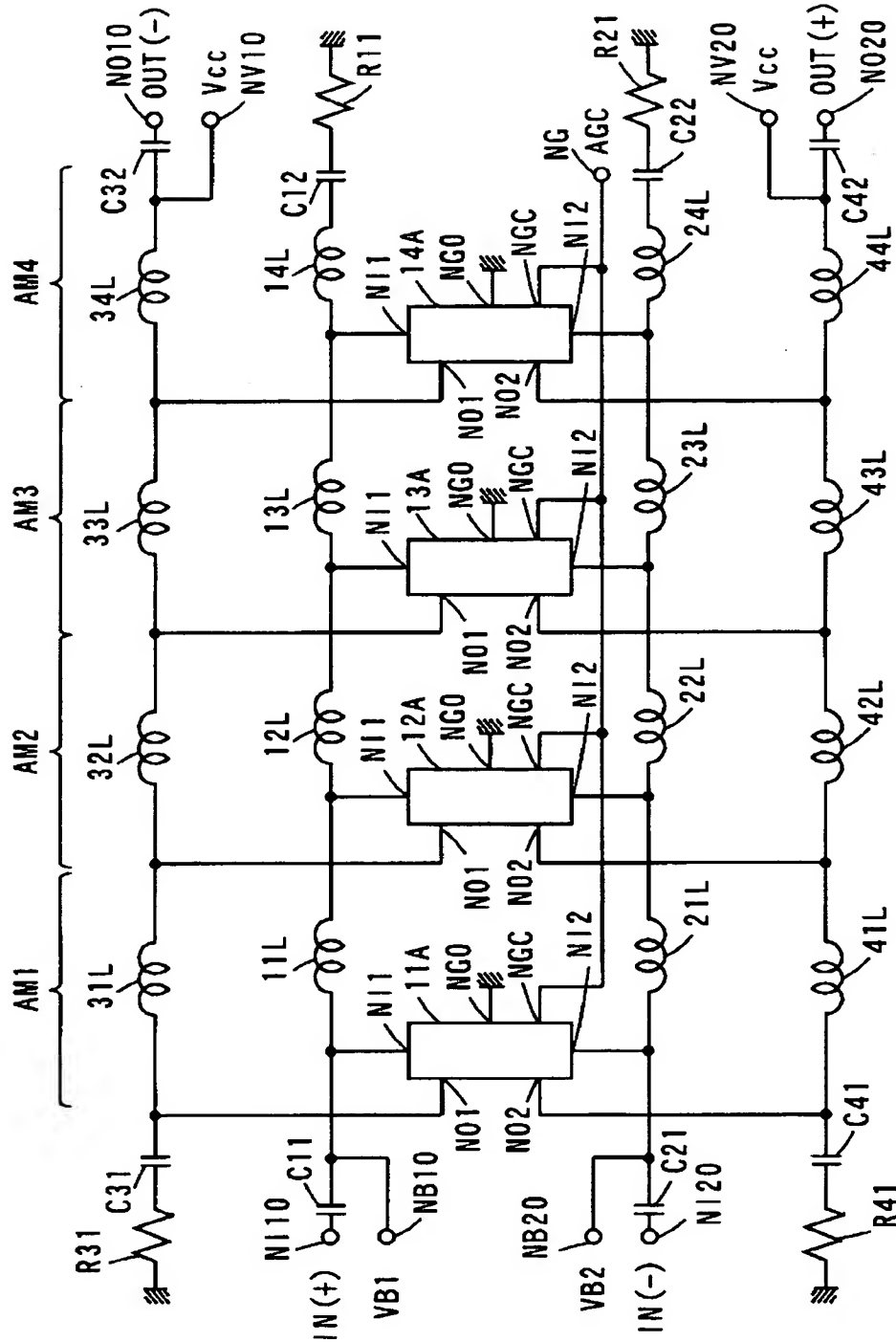
【図 20】



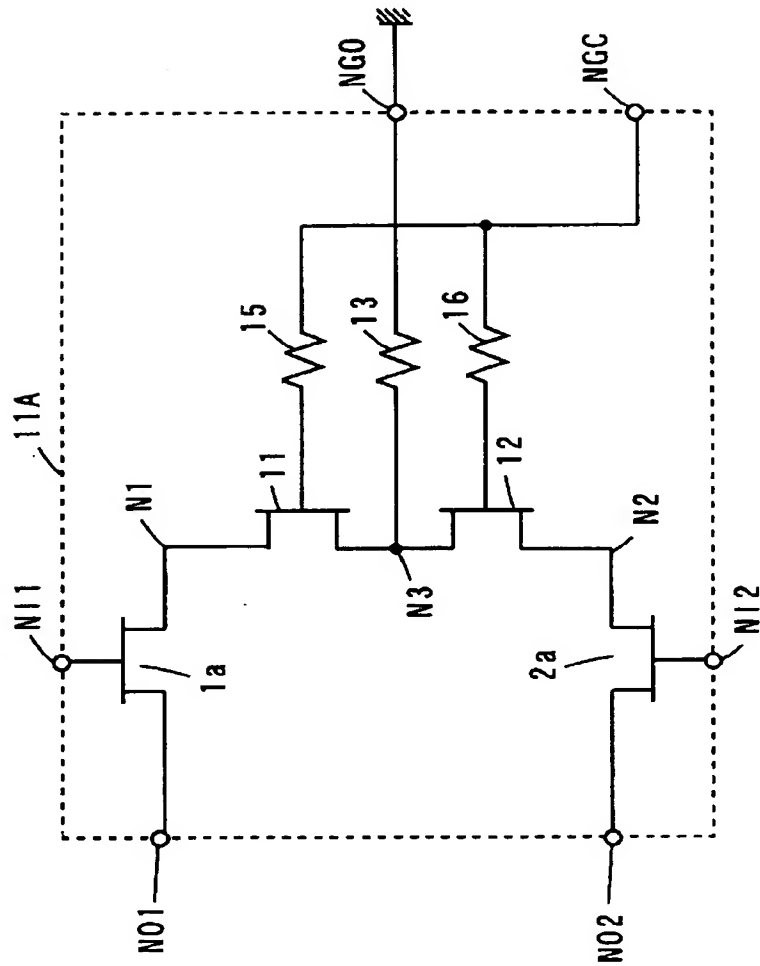
【図 21】



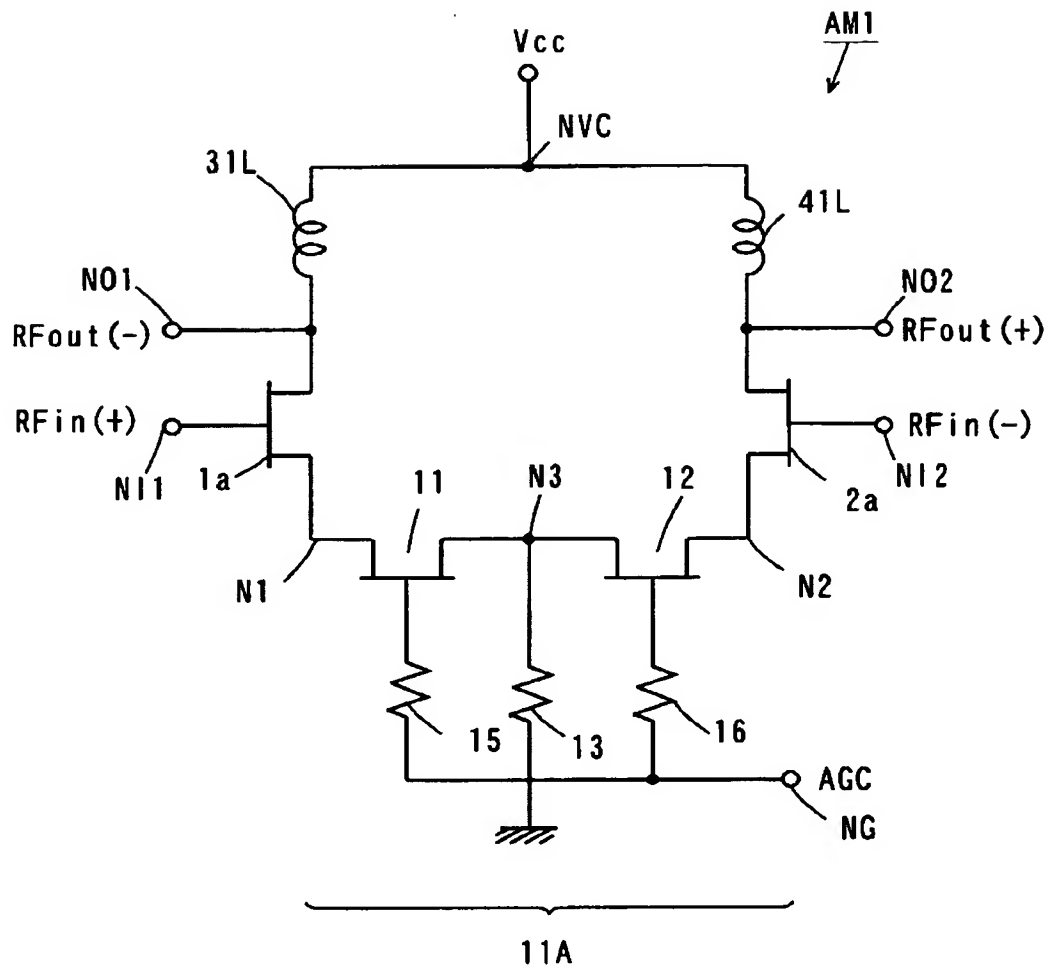
【図22】



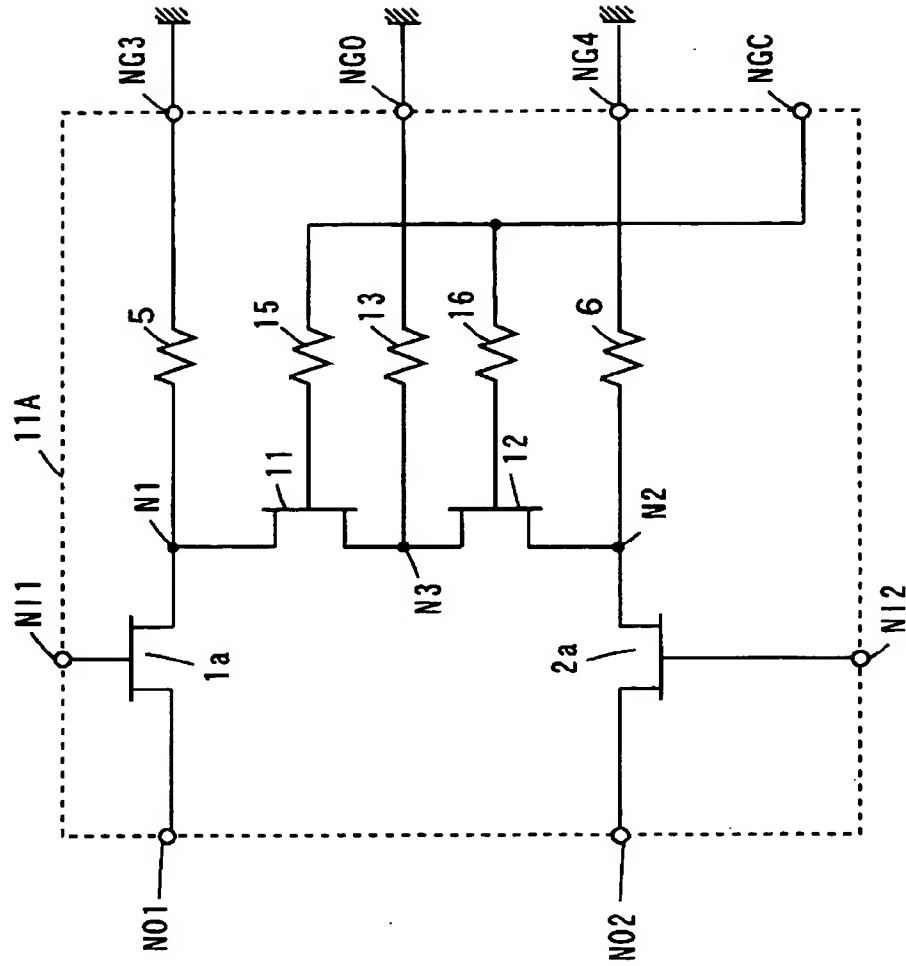
【図 23】



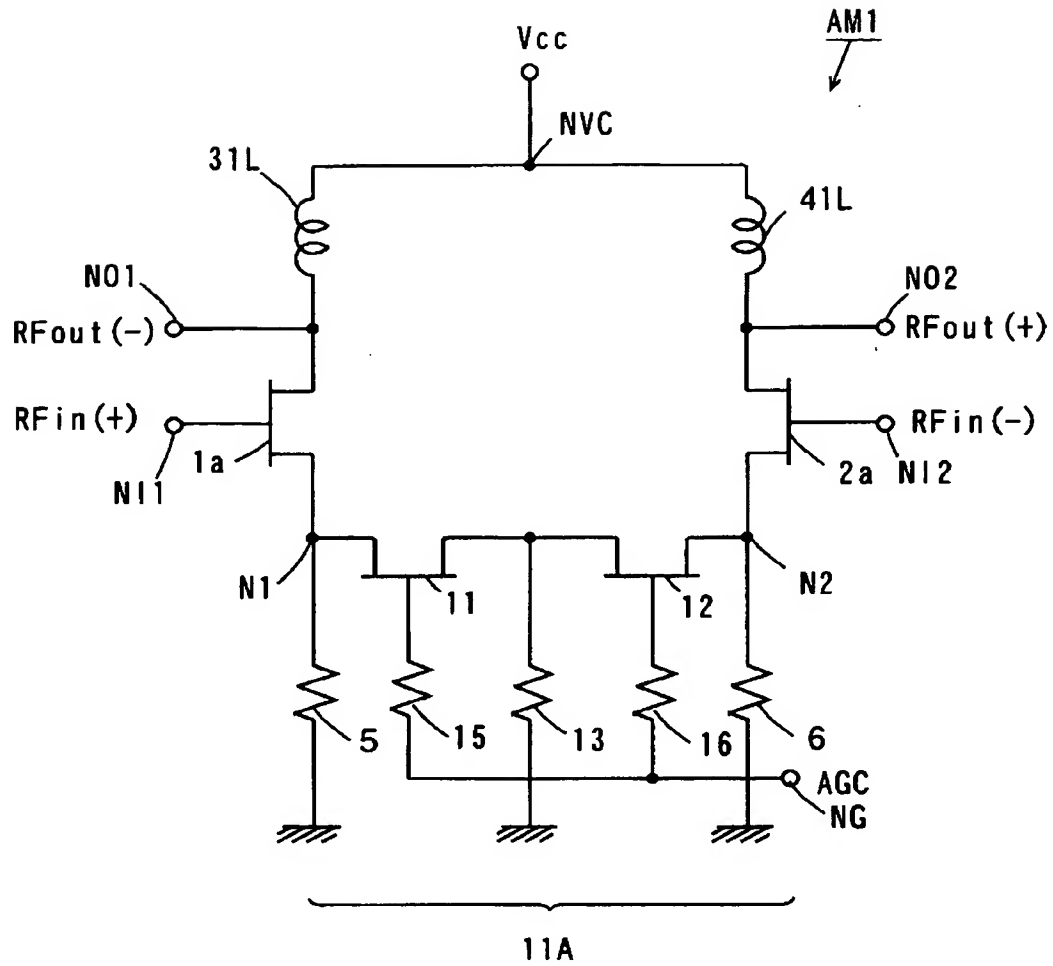
【図 2 4】



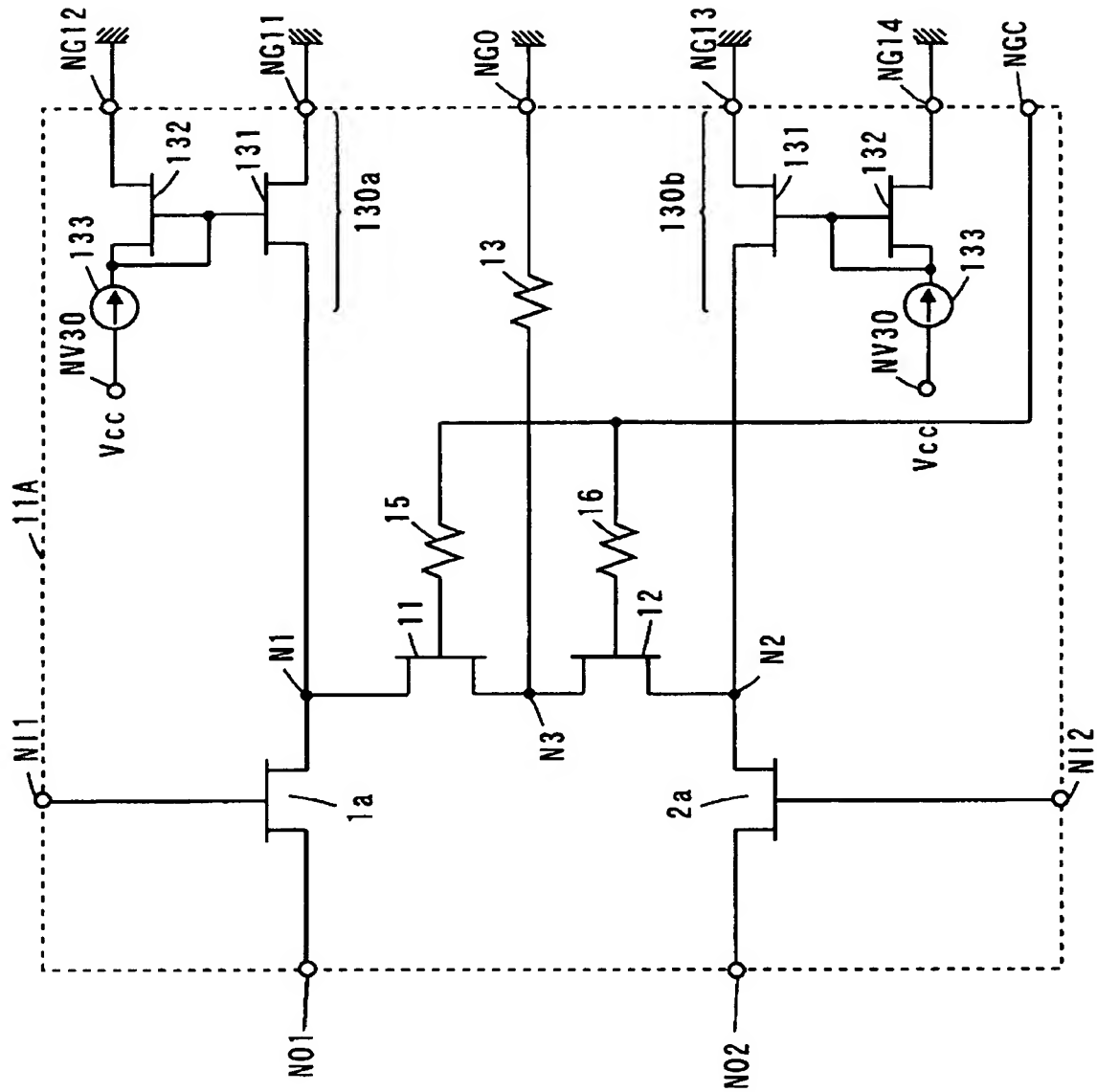
【図 26】



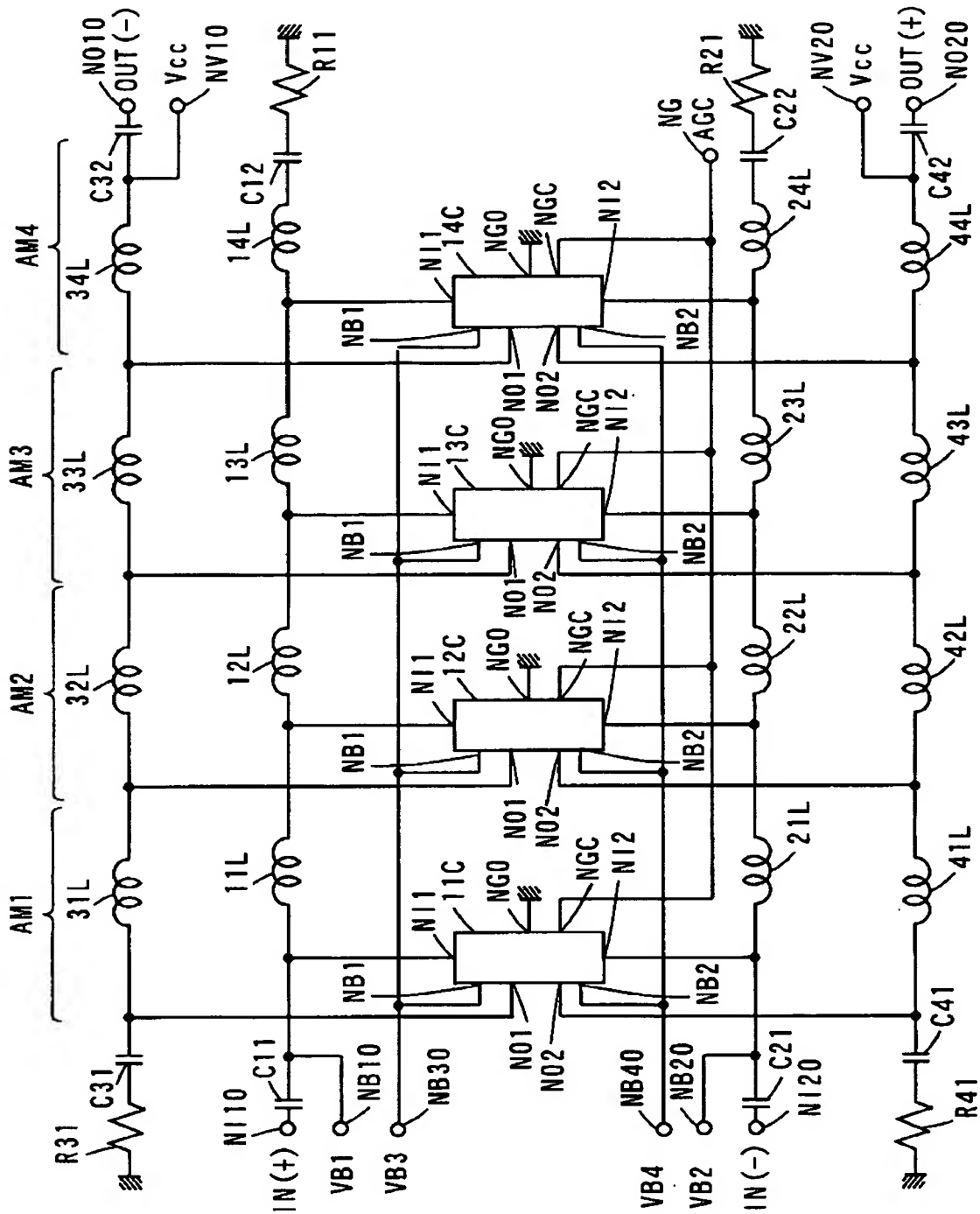
【図 27】



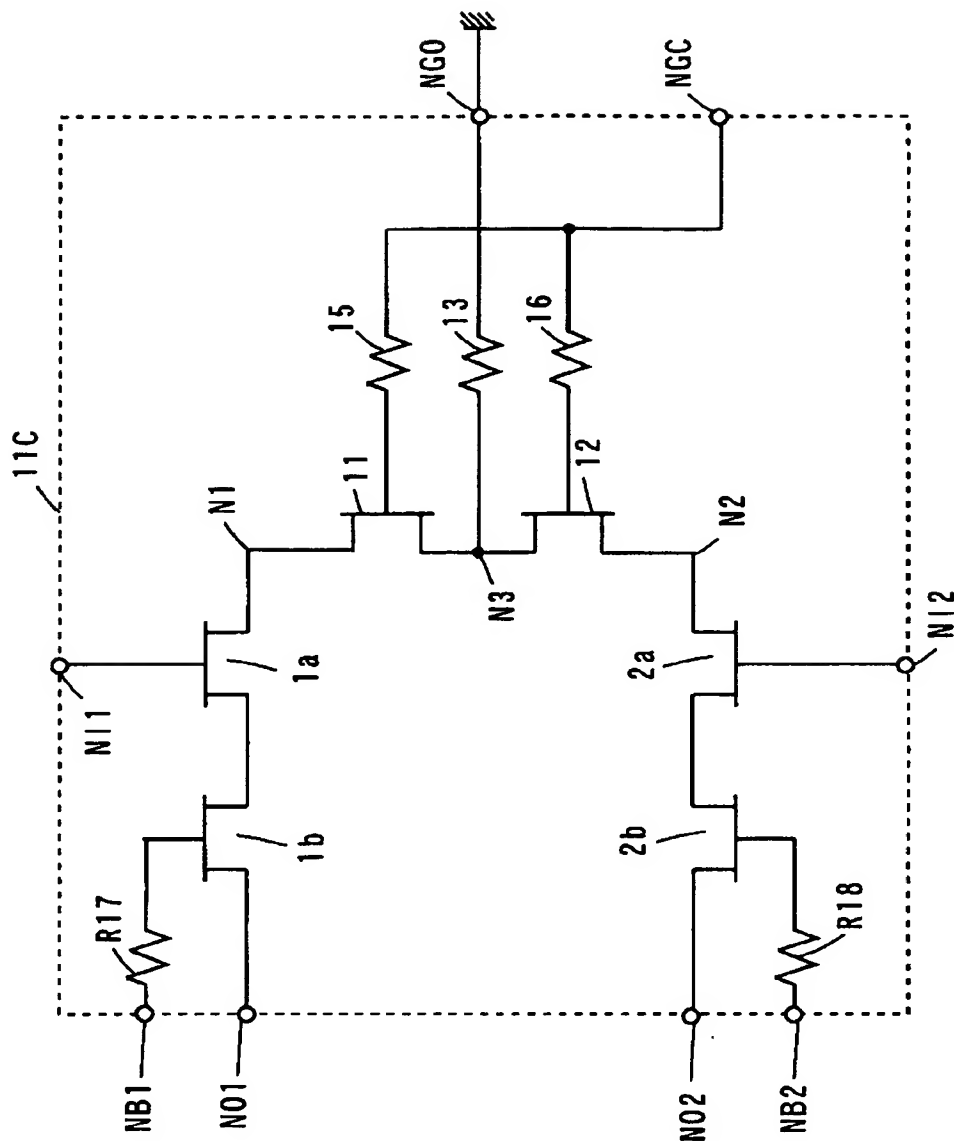
【図 28】



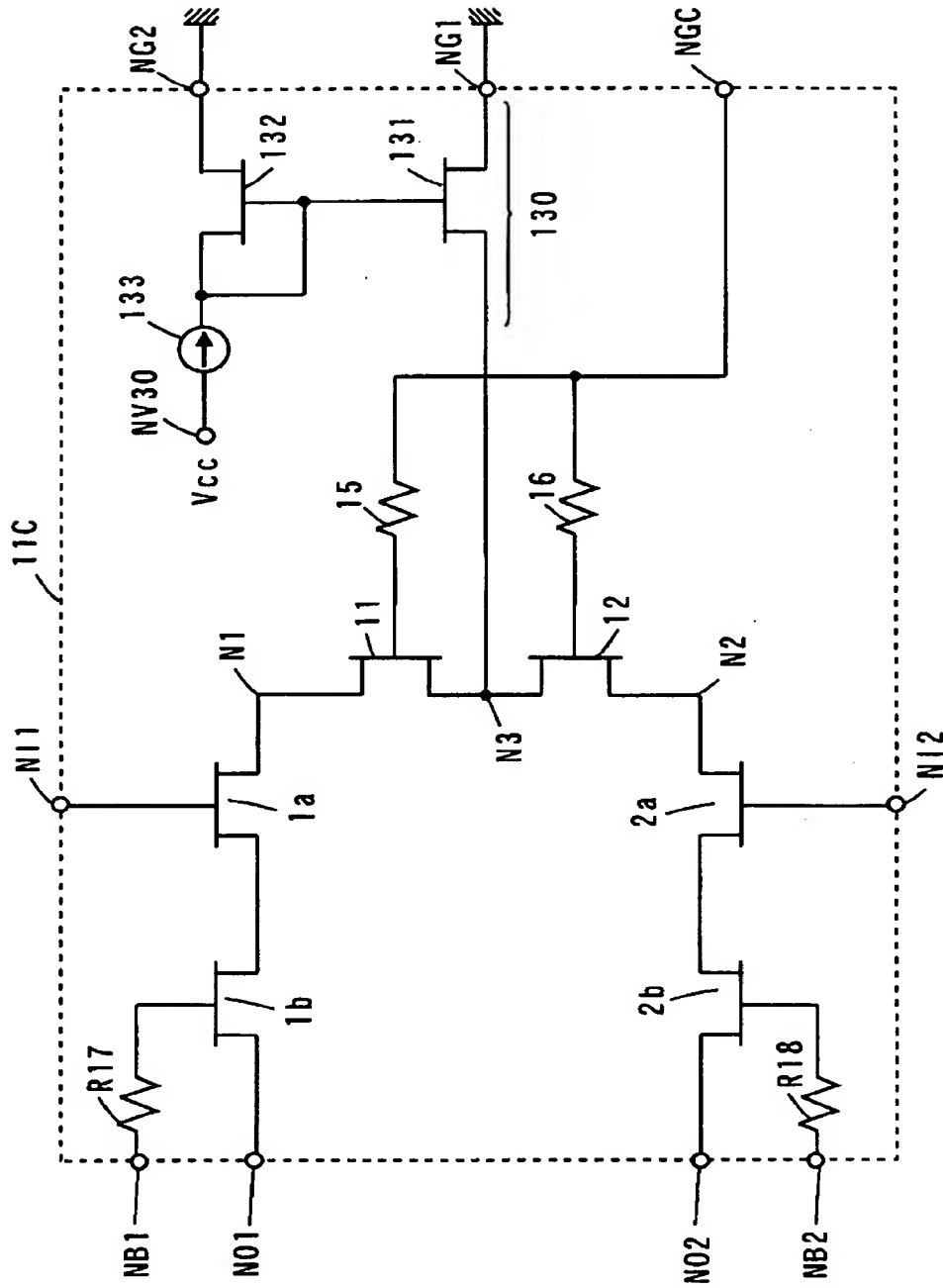
【図 29】



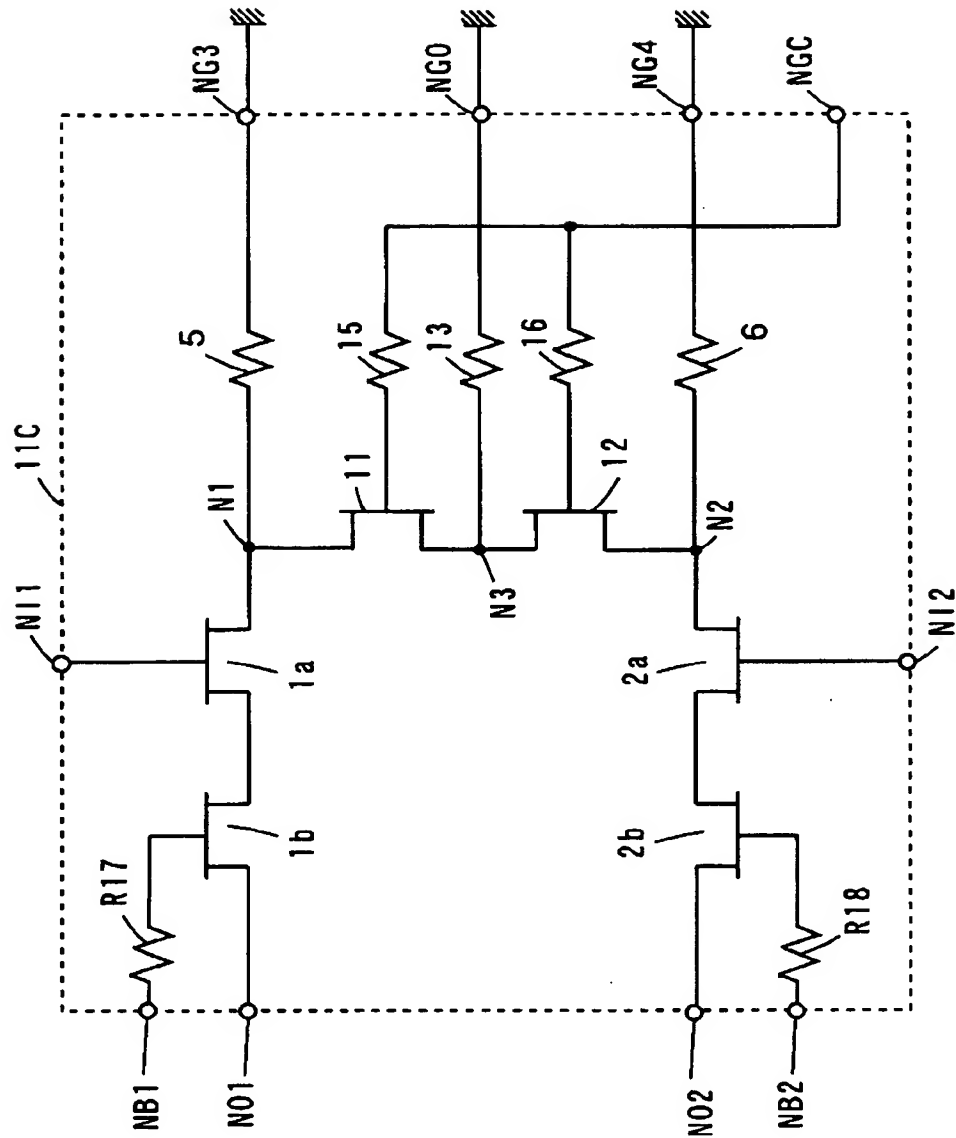
【図 30】



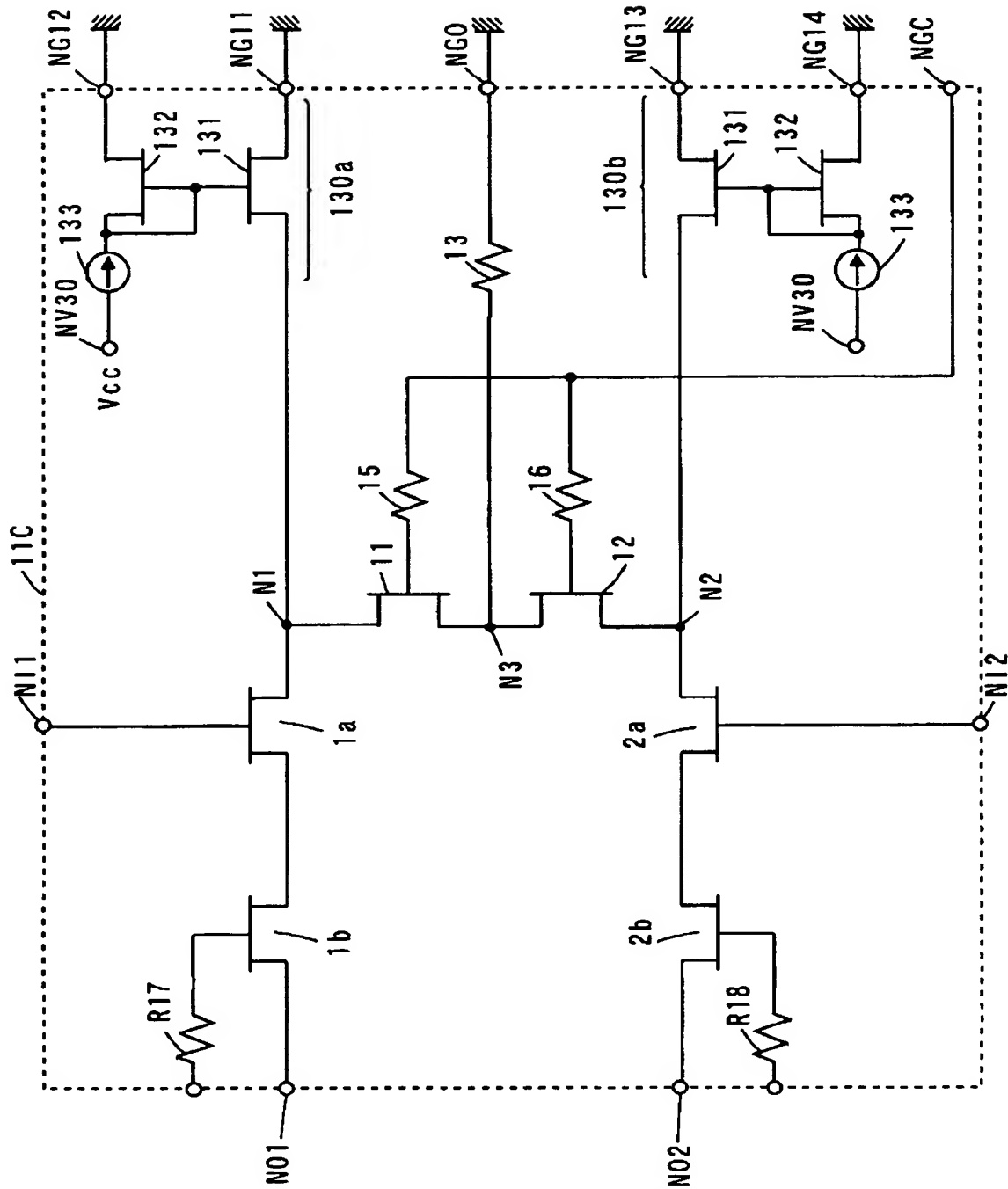
【図 31】



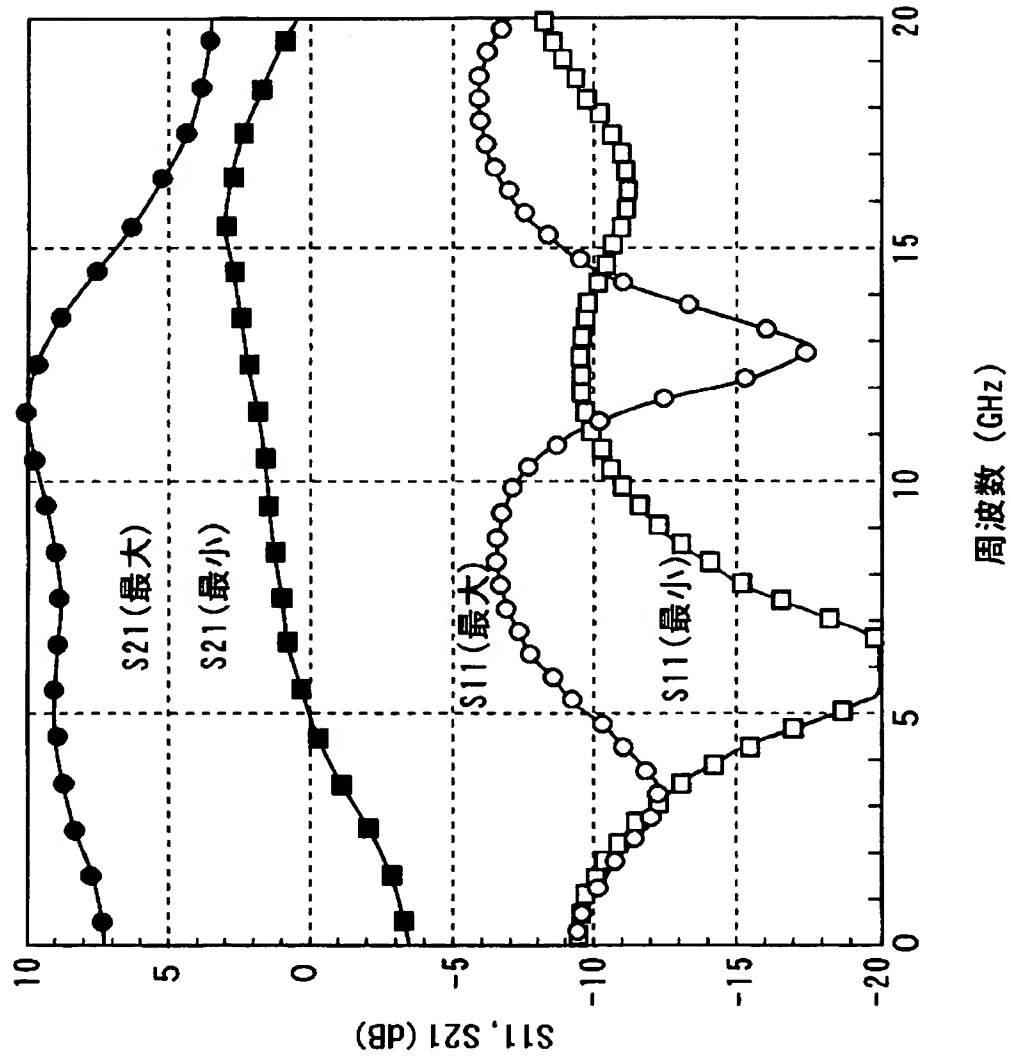
【図 3 2】



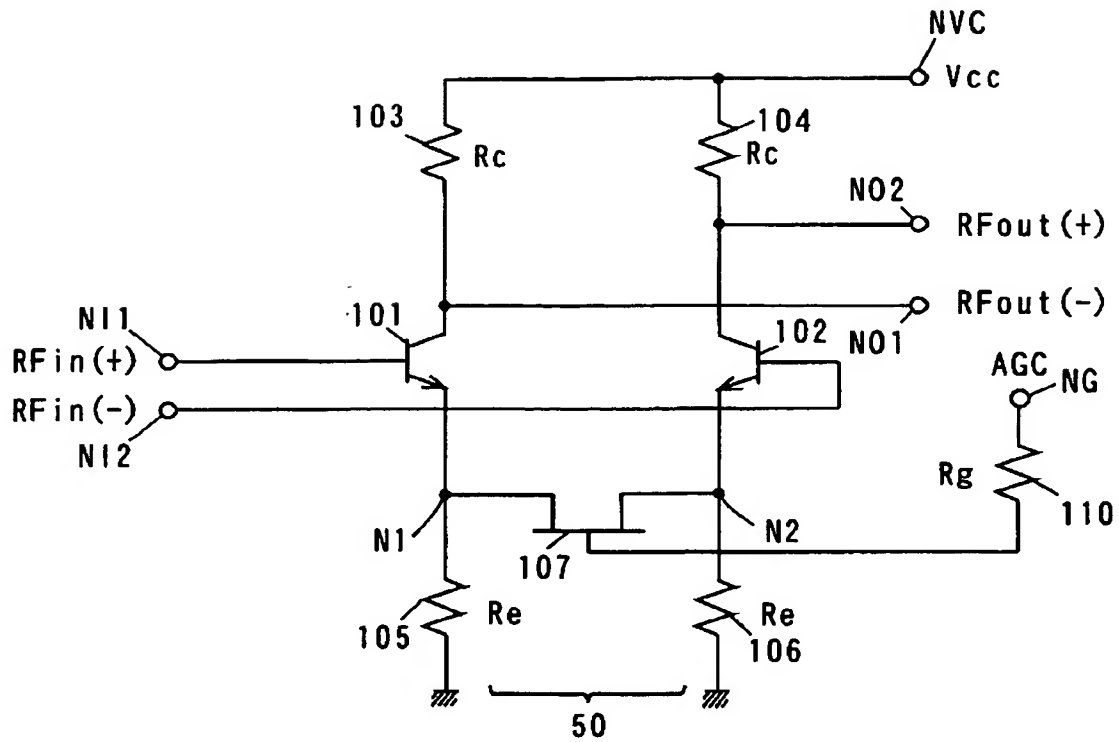
【図 3 3】



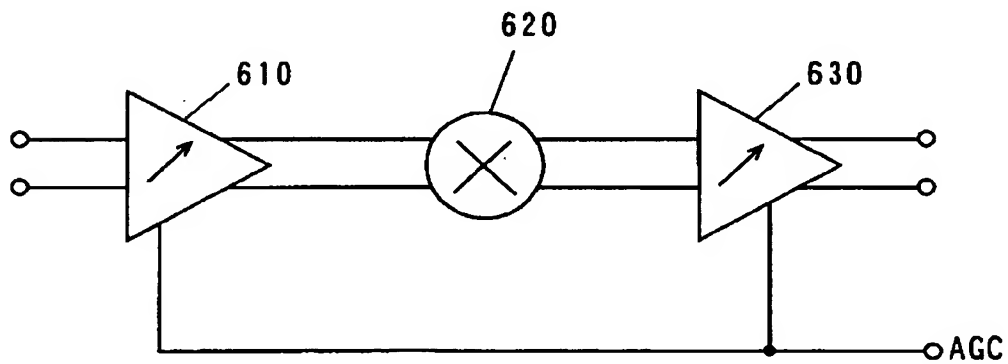
【図 34】



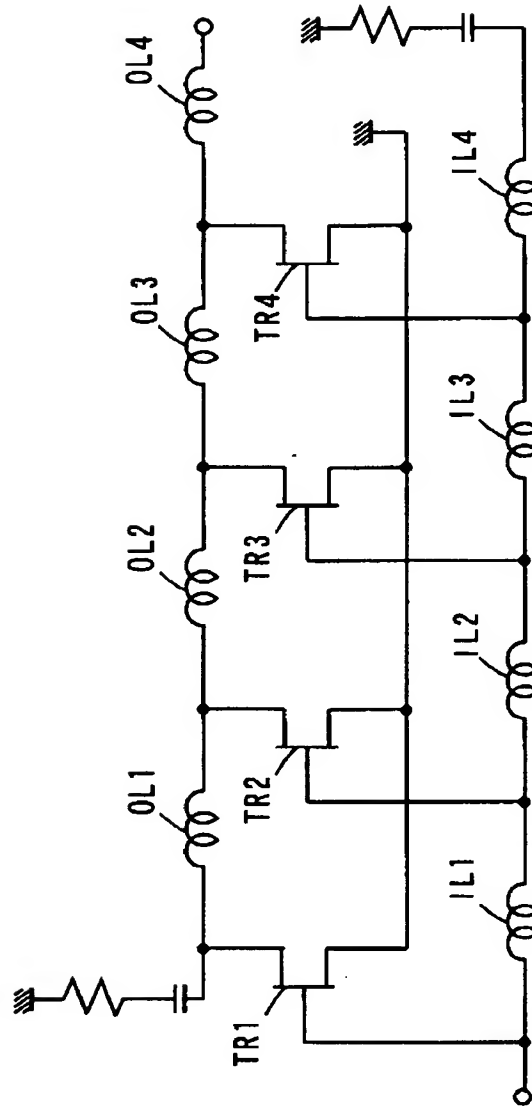
【図 35】



【図 36】



【図 37】



【書類名】要約書

【要約】

【課題】 動作電流を変化させることなく低歪み化を実現することができる可変利得型差動増幅器およびそれを用いた乗算器を提供することである。

【解決手段】 トランジスタ 1, 2 のコレクタは、それぞれ抵抗 3, 4 を介して電源電圧 V_{cc} を受ける電源端子 NVC に接続されている。トランジスタ 1, 2 のエミッタは、それぞれ抵抗 5, 6 を介して接地端子に接続されている。トランジスタ 1, 2 のエミッタに接続されるノード $N1$, $N2$ 間には、シャント抵抗 7、FET 9 およびシャント抵抗 8 が直列に接続されている。FET 9 のゲートは、抵抗 10 を介して制御電圧 AGC を受ける制御端子 NG に接続されている。シャント抵抗 7, 8 および FET 9 が可変抵抗回路 20 を構成する。

【選択図】 図 1

特願 2004-055399

出願人履歴情報

識別番号

[000001889]

1. 変更年月日

1993年10月20日

[変更理由]

住所変更

住所

大阪府守口市京阪本通2丁目5番5号

氏名

三洋電機株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.